

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-026642

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

H01L 23/28

H01L 21/56

H01L 21/60

H01L 23/12

(21)Application number : 09-181132

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.07.1997

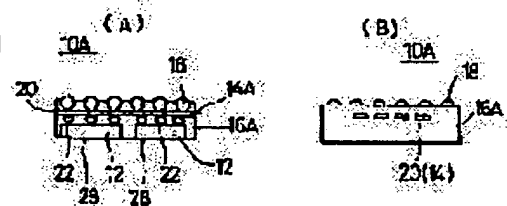
(72)Inventor : KAWAHARA TOSHISANE
 OOSAWA MITSUHIRO
 MORIOKA SOUCHI
 NIIMA YASUHIRO
 ONODERA MASANORI
 FUKAZAWA NORIO
 KASAI JUNICHI

(54) SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF AND MOUNTING STRUCTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To raise the degree of terminal layout freedom and reliability of a semiconductor device having a chip size package structure, manufacture thereof and mounting structure thereof.

SOLUTION: A semiconductor device comprises one or more semiconductor elements 12, sealing resin 16A sealing the elements 12, electrode plates 14A which are disposed in the resin 16A, with leaving their ends exposed at the side face of the resin 16A to form side terminals 20 and electrically connected to the elements 12, and protrudent terminals 18 disposed on the plates 14A but exposed at the bottom face of the resin 16A. The plates 14A radiate the heat produced from the elements 12 and reinforce the resin 16A.



LEGAL STATUS

[Date of request for examination]

21.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
 examiner's decision of rejection or application converted
 registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
 rejection]

[Date of requesting appeal against examiner's decision of
 rejection]

特開平11-26642

(43)公開日 平成11年(1999)1月29日

(51)IntCl ⁴		識別記号		F I	
H 01 L	23/28	3 1 1	21/56	H 01 L	23/28
	21/56				A
	21/60				R
	23/12				3 1 1 S
					L

審査請求 未請求 請求項の範囲 30 O L (全 38 頁)

(21)出願番号	特開平9-181132	(71)出願人	00005223 富士通株式会社
(22)出願日	平成9年(1997)7月7日		神奈川県川崎市中原区上小田中4丁目1番1号
		(72)発明者	川原 憲志英 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(73)発明者	大澤 義博 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(74)代理人	外理士 伊東 宏彦 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

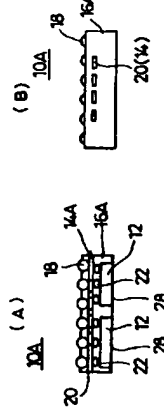
(54)【発明の名称】 半導体装置及びその製造方法及びその実装構造

(57)【要約】

【課題】本発明はチップサイズパッケージ構造を有した半導体装置及びその製造方法及びその実装構造に関し、半導体装置の端子レイアウトの自由度を高めると共に信頼性の向上を図ることを課題とする。

【解決手段】単数または複数の半導体素子12と、この半導体素子12を封止する封止樹脂16Aと、封止樹脂16A内に配設されて半導体素子12と電気的に接続する共にその端部が封止樹脂16Aの側面に露出して側部端子20を形成する電極板14Aと、この電極板14Aに配設され封止樹脂16Aの底面から露出する突出端子18とを設ける。この電極板14Aは、半導体素子12で発生する熱を放熱すると共に、封止樹脂16Aの補強材として機能する。

本発明の要約は、特許請求の範囲を要約するものではない。



最終頁に続く

電極板を樹脂加工することにより前記電極板に一体的に形成したことを特徴とするものである。また、請求項6記載の発明では、前記請求項4記載の半導体装置において、前記突出端子は、前記電極板に配設した突起電極であることを特徴とするものである。

【0012】また、請求項7記載の発明では、前記請求項1乃至6のいずれかに記載の半導体装置において、前記半導体素子の一部を前記封止樹脂より露出させた構成としたことを特徴とするものである。また、請求項8記載の発明では、前記請求項1乃至7のいずれかに記載の半導体装置において、前記封止樹脂の前記半導体素子に近接する位置に放熱部材を配設したことを特徴とするものである。

【0013】また、請求項9記載の発明に係る半導体装置の製造方法では、金属基板に対しパターン形成処理を行なうことにより電極板を形成する電極板形成工程と、前記電極板に半導体素子を搭載し電気的に接続するチップ搭載工程と、前記半導体素子及び前記電極板を封止する封止樹脂を形成する封止樹脂形成工程と、個々の半導体装置の境界位置で、前記封止樹脂及び前記電極板を切断することにより個々の半導体装置を切り出す切断工程とを有することを特徴とするものである。

【0014】また、請求項10記載の発明では、前記請求項9記載の半導体装置の製造方法において、前記電極板形成工程で実施するパターン形成処理は、エッチング法またはプレス加工法を用いて行なうことを特徴とするものである。また、請求項11記載の発明では、前記請求項9または10記載の半導体装置の製造方法において、前記チップ搭載工程で、前記半導体素子を前記電極板に搭載する手段として、フリップチップ接合法を用いたことを特徴とするものである。

【0015】また、請求項12記載の発明では、前記請求項9または11のいずれかに記載の半導体装置の製造方法において、前記チップ搭載工程を実施する前に、前記半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施し、前記チップ搭載工程において、前記放熱部材に取り付けられた状態で前記半導体素子を前記電極板に搭載することを特徴とするものである。

【0016】また、請求項13記載の発明では、前記請求項9または12のいずれかに記載の半導体装置の製造方法において、前記電極板形成工程で、前記電極板より突出する突出端子を形成すると共に、前記封止樹脂形成工程で、前記突出端子が前記封止樹脂から露出するように前記封止樹脂を形成することを特徴とするものである。【0017】また、請求項14記載の発明では、前記請求項1乃至8のいずれかに記載の半導体装置を基板に実装する半導体装置の実装構造において、前記半導体装置が装着される装着部と、前記封止樹脂の側面に露出した外部接続端子と接続するよう設けられたリード部と

を有するソケットを用い、前記半導体装置を前記ソケットに装着して前記リード部と前記外部接続端子を接続した上で、前記リード部を前記実装基板に接合させることを特徴とするものである。

【0018】また、請求項15記載の発明では、前記請求項4乃至6のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、前記外部端子を形成する前記突出端子にパンプを配設し、このパンプを介して前記半導体装置を前記実装基板に接合させることを特徴とするものである。

【0019】また、請求項16記載の発明では、前記請求項3乃至8のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、前記外部接続端子の形成位置に対応した位置に配設された可撓可能な接続ピンと、この接続ピンを位置決めする位置決め部材とにより構成される実装部材を用い、前記接続ピンの上端部を前記半導体装置の外部接続端子に接合すると共に、下端部を前記実装基板に接合することを特徴とするものである。

【0020】また、請求項17記載の発明に係る半導体装置では、少なくとも表面上に突起電極が直接形成される半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーザと、接着性及び押圧方向に対する導電性を有しており、前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体と前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーザとを電気的に接続する異方性導電膜と、前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子とを具備することを特徴とするものである。

【0021】また、請求項18記載の発明では、前記請求項17記載の半導体装置において、前記半導体装置本体に形成された前記突起電極の配設ピッチと、前記インタポーザに配設された前記外部接続端子の配設ピッチを同一ピッチとしたことを特徴とするものである。

【0022】また、請求項19記載の発明では、前記請求項17記載の半導体装置において、前記半導体装置本体に形成された前記突起電極の配設ピッチに対し、前記インタポーザに配設された前記外部接続端子の配設ピッチを大きく設定したことを特徴とするものである。

【0023】また、請求項20記載の発明では、前記請求項17乃至19のいずれかに記載の半導体装置において、前記インタポーザ上に、前記突起電極と対向する位置に孔を有する絶縁部材を配設したことを特徴とするものである。また、請求項21記載の発明では、前記請求

項17乃至20のいずれかに記載の半導体装置では、前記インタポーザとしてTAB (Tape Automated Bonding) テープを用いたことを特徴とするものである。

【0024】また、請求項22記載の発明に係る半導体装置の製造方法では、半導体素子の少なくとも表面上に突起電極を直接形成すると共に、この半導体素子の表面に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成し、前記半導体装置本体を形成するインタポーザを形成するインタポーザ形成工程と、前記半導体装置本体と前記インタポーザとを接着性及び押圧方向に対する導電性を有した異方性導電膜を介して接合し、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーザとを電気的に接続する接合工程と、前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程とを具備することを特徴とするものである。

【0025】また、請求項23記載の発明に係る半導体装置では、少なくとも表面上に突起電極が直接形成される半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーザと、前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体と前記インタポーザに接着固定する接着剤と、前記半導体装置本体と前記インタポーザとを電気的に接続する導電性部材と、前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子とを具備することを特徴とするものである。

【0026】また、請求項24記載の発明では、前記請求項23記載の半導体装置において、前記導電性部材は、導電性ペーストであることを特徴とするものである。また、請求項25記載の発明では、前記請求項23記載の半導体装置において、前記導電性部材は、スタックドパンプであることを特徴とするものである。

【0027】また、請求項26記載の発明では、前記請求項23記載の半導体装置において、前記導電性部材は、前記配線パターンと一体的に形成されると共に前記接着剤の配設位置を迂回して前記突起電極に接続するフライングリードであることを特徴とするものである。

【0028】また、請求項27記載の発明では、前記請求項26記載の半導体装置において、少なくとも前記突起電極と前記フライングリードとの接続位置を樹脂封止

する構成としたことを特徴とするものである。また、請求項28記載の発明では、前記請求項23記載の半導体装置において、前記導電性部材は、前記突起電極の半導体位置に対応した位置に配設され、その上端部を前記半導体装置の突起電極に接合すると共に、下端部を前記外部接続端子に接合する接続ピンと、この接続ピンを位置決めする位置決め部材とにより構成されることを特徴とするものである。

【0029】また、請求項29記載の発明では、前記請求項28記載の半導体装置において、前記位置決め部材は、可撓性部材により形成されていることを特徴とするものである。更に、請求項30記載の発明に係る半導体装置の製造方法では、半導体素子の少なくとも表面上に突起電極を直接形成すると共に、この半導体素子の表面に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成し、前記半導体装置本体を形成するインタポーザを形成するインタポーザ形成工程と、前記半導体装置本体と前記インタポーザとを接着剤を介して接合すると共に、前記半導体装置本体と前記インタポーザとを電気的に接続する導電性部材と、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程とを具備することを特徴とするものである。

【0030】上記した各手段は、次のように作用する。請求項1記載の発明に係る半導体装置によれば、半導体素子を保護する封止樹脂内には電極板が存在し、この電極板は封止樹脂を補強する機能を果たすため、半導体素子の保護をより確実に行なうことができ、よって半導体装置の信頼性を向上させることができる。

【0031】また、電極板は半導体素子と外部接続端子との間に位置するものであるため、半導体素子に直接外部接続端子を接続する構成と異なり、電極板により半導体素子と外部接続端子との間で配線の引直しを行なうことが可能となる。よって、電極板を設けることにより半導体装置の端子レイアウトの自由度を高めることができる。また、電極板は導電性金属よりなり、封止樹脂より異なり、導電性が良好であるため、半導体素子で発生した熱は電極板を介して外部に放熱される。よって、半導体素子で発生した熱を効果よく放熱することができる。

【0032】更に、電極板の外部接続端子は封止樹脂の側面に露出した構成とされているため、半導体装置を基板に実装した後においてもこの外部接続端子を圧着して半導体素子の動作試験を行なうことが可能となる。また、請求項2及び請求項11記載の発明によれば、半

体素子と電極板とをフリップチップ接合したことによ
り、小スペース内において確実に半導体素子と電極板と
を接合することができ、半導体装置の小型化を図ること
ができる。また、接合部における配線長が短いためイン
ピーダンスを低減できると共に、多ピン化にも対応す
ることができる。

【0033】また、請求項3記載の発明によれば、電極
板を封止樹脂の側面にも露出させて外部接続
端子を形成するよう構成したことにより、側面ばかりで
なく底面においても実装を行なうことが可能となる。よ
って、半導体装置を実装する際、実装構造の自由度を向
上させることができ、よって例えば小スペース化を図り
うる実装形態であるフェイスダウンボンディングにも対
応することが可能となる。

【0034】また、請求項4記載の発明によれば、電極
板に突出形成された突出端子を封止樹脂の底面に露出さ
せて外部接続端子を形成することにより、実装時に薄実
装に外部接続端子を実装基板に接続することができ、ま
た、電極板の外部接続端子以外の部分は封止樹脂に埋設
された構成となるため、隣接する外部端子はこの封止樹
脂により絶縁される。このため、実装時にはんだにより
隣接する外部接続端子間で短絡が発生するようになら
なく、実装時における信頼性を向上させることができ
る。

【0035】また、請求項5記載の発明によれば、突出
端子を電極板を塑性加工することにより電極板に一体的
に形成したことにより、突出端子を別部材により形成す
る構成に比べて部品点数の削減を図ることができると共
に容易に形成することができ、また、請求項6記載の
発明によれば、突出端子を電極板に配設した突起電極と
したことにより、半導体装置をBGA(Ball Grid Arra
y)と同様に取扱いすることができ、実装性を向上させる
ことができる。

【0036】また、請求項7及び請求項8記載の発明に
よれば、半導体素子の一部を封止樹脂より露出させた構
成としたことにより、或いは封止樹脂の半導体素子に近
接する位置に放熱部材を配設したことにより、半導体素
子で発生する熱を効率よく放熱することができ、ま
た、請求項9記載の発明によれば、電極板形成工程で金
属基板に対しパターン形成処理を行なうことにより電極
板を形成し、続くチップ搭載工程で電極板に半導体素子
を搭載し電気的に接続する。この際、パターン形成処理
において任意の配線パターンを決定できるため、電極板
により配線の引回しを行なうことが可能となり、これに
より電極板に形成される外部接続端子の端子レイアウト
に自由度を持たせることができる。

【0037】また、封止樹脂形成工程で封止樹脂を形成
することにより、半導体素子及び電極板は封止樹脂に封
止される。よって、半導体素子及び電極板は封止樹脂に
より保護され、よって半導体装置の信頼性を向上させる

ことができる。続いて実装される切断工程により、個々
の半導体装置の境界位置で封止樹脂及び電極板を切断す
ることにより個々の半導体装置が形成される。よって、
電極板は切断位置に露出し、この露出部分を外部接続端
子として用いることができる。

【0038】また、請求項10記載の発明によれば、電
極板形成工程で実装するパターン形成処理として、半導
体装置のリードフレーム形成法として一般に用いられて
いるエッチング法またはプレス加工法を適用することに
より、電極板を形成するのにリードフレーム形成法を利
用することが可能となる。よって、設備の増加を伴うこ
となく、電極板形成工程を実施することができ、

【0039】また、請求項12記載の発明によれば、チ
ップ搭載工程を実施する前に、半導体素子を放熱部材上
に位置決めして取り付けするチップ取り付け工程を実施
することにより、チップ搭載工程では放熱部材に位置決め
された状態で半導体素子を電極板に搭載される。よっ
て、チップ搭載工程において、個々の半導体素子の位置
決めを行なう必要がなくなり、形状の大きな放熱部材と
電極板とを位置決めすればよい。そのため、位置決め処理を容
易化することができる。

【0040】また、請求項13記載の発明によれば、電
極板形成工程において、電極板より突出する突出端子を
形成することにより、突起端子部の形成を電極板の形成
と同時に一括的に行なうことができ、また、半導体装
置の製造工程の簡単化を図ることができ、また、封止
樹脂形成工程で、この突出端子が封止樹脂から露出す
よう封止樹脂を形成することにより、実装時に薄実装に外
部接続端子を実装基板に接続することができると共に隣
接する外部接続端子間で短絡が発生することを防止す
ることができる。

【0041】また、請求項14記載の発明によれば、ソ
ケットを用いて半導体装置を実装基板に接合するため、
半導体装置の装着脱を容易にでき、例えばメンテナン
ス等において半導体装置を交換する必要があるような場
合でも、容易に交換処理を行なうことができる。また、
ソケットに設けられたリード部は通常半導体装置が装着
される装着部の側部に配設されており、また半導体装置
の外部接続端子は封止樹脂の側面に露出した構成であ
る。このため、装着状態においてリード部と外部接続端
子とは対向するためリード部を引き回すことができ、よっ
て部と外部接続端子との接続を行なうことができ、よっ
てソケットの構造の簡単化を図ることができる。

【0042】また、請求項15記載の発明によれば、外
部端子を形成する突出端子にパンプを配設し、このパンプ
を介して半導体装置を実装基板に接合させる構造とす
ることにより、半導体装置をBGA(Ball Grid Array)
と同様に実装することができ、実装性の向上及び多ピン
化への対応を図ることができる。

【0043】また、請求項16記載の発明によれば、接

線ピンの上端部を半導体装置の外部接続端子に接合する
と共に下端部を実装基板に接合することにより、外部接
線端子と実装基板との間には接続ピンが介在した構成と
なる。この接続ピンは信頼可能な構成であるため、例え
ば加熱時等に半導体装置側と実装基板側で熱膨張率差に
起因して応力が発生しても、この応力が接続ピンが可撓
することにより吸収される。よって、応力が印加されて
も外部接続端子と実装基板との接続を確実に維持するこ
とができる。

【0044】また、接続ピンは位置決め部材により外部
接続端子の形成位置に対応した位置に位置決めされてい
るため、実装時において個々の接続ピンと外部接続端子
または実装基板との位置決め処理を行なう必要はなく、
実装作業を容易に行なうことができる。また、請求項1
7及び請求項22記載の発明によれば、半導体装置本体
は、半導体素子の表面上に突起電極の先端部を覆し樹脂
層が形成されているため、この樹脂層が半導体素子及び
突起電極を保護すると共に、アンダーフィルレジンとし
ても機能することとなる。

【0045】また、インタポーザは、半導体装置本体が
装着されると共にこの半導体装置本体が接続される配線
パターンがベース部材上に形成された構成であるため、
ベース部材上において任意の配線パターンを形成するこ
とができ、この配線パターンには、ベース部材に形成
された孔を介して外部接続端子が接続される。この際、
上記の孔に配線パターンを任意に設定できるため、配
線パターンを引き回すことにより半導体装置本体に設け
られた突起電極の形成位置に拘わらず外部接続端子の位
置を設定することができ、よって、外部接続端子の端
子レイアウトの自由度を高めることができる。

【0046】また、異方性導電膜は接着性及び押圧方向
に対する導電性を有しているため、この異方性導電膜を
用いて半導体装置本体とインタポーザとを接合すること
ができる。この際、異方性導電膜の有する接着性により
半導体装置本体とインタポーザは機械的に接合され、ま
た異方性導電膜の有する異方性導電性により半導体装置
本体とインタポーザは電気的に接合（接続）される。こ
のように、異方性導電膜は接着性及び導電性の双方の特
性を有しているため、各機能を別個の部材により行なう
構成に比べて部品点数及び組み立て工数の低減を図るこ
とができる。

【0047】更に、異方性導電膜は可撓性を有し、かつ
半導体装置本体とインタポーザの間に介装されるため、
この異方性導電膜は緩衝膜として機能する。よって、異
方性導電膜により、半導体装置本体とインタポーザとの
間に発生する応力を緩和することができ、また、請求
項18記載の発明によれば、半導体装置本体に形成され
た突起電極の配設ピッチと、インタポーザに配設され
た外部接続端子の配設ピッチを同一ピッチとしたことによ
り、インタポーザの形状を小さくすることができ、半導

体装置の小型化を図ることができる。
【0048】また、請求項19記載の発明によれば、
半導体装置本体に形成された突起電極の配設ピッチに
し、インタポーザに配設された外部接続端子の配設ピ
ッチを大きく設定したことにより、インタポーザ上に、
配線パターンの引回しの自由度を更に向上させるこ
とができる。また、請求項20記載の発明によれば、イ
ンタポーザ上に、突起電極と対向する位置に孔を有する
部材を配設したことにより、半導体装置本体をイン
タポーザに装着する際に印加される押圧力はこの孔の
位置に集中するため孔内における導電率は向上し、
半導体装置本体とインタポーザとの電気的接続を
に行なうことができる。

【0049】また、請求項21記載の発明によれば、
ンタポーザとしてTABテープを用いたことにより、
TABテープは半導体装置の構成部品として安価に供
与されているため、インタポーザとしてTABテープを
用いているため、インタポーザとしてTABテープを
することにより半導体装置のコスト低減を図ることが
できる。また、請求項23及び請求項30記載の発明に
よれば、半導体装置本体は、半導体素子の表面上に突起
の先端部を覆し樹脂層が形成されているため、この
層が半導体素子及び突起電極を保護すると共に、ア
ンダーフィルレジンとしても機能することとなる。

【0050】また、インタポーザは、半導体装置本体
装着されると共にこの半導体装置本体が接続される
パターンがベース部材上に形成された構成であるため、
ベース部材上において任意の配線パターンを形成す
とができ、この配線パターンには、ベース部材に引
かれた孔を介して外部接続端子が接続される。この
上記のように配線パターンを任意に設定できるため、
線パターンを引き回すことにより半導体装置本体に接
合された突起電極の形成位置に拘わらず外部接続端子の
位置を設定することができ、よって、外部接続端子の
子レイアウトの自由度を高めることができる。

【0051】また、接着剤は半導体装置本体とイン
タポーザとを機械的に接合し、また導電性部材は半導体
本体とインタポーザとを電気的に接合（接続）する。
のように、半導体装置本体とインタポーザとを接合す
る際行なわれる機械的接合と電気的接合を別個の部材に
行なうことにより、各機能（機械的接合機能、電気
的接合機能）に最適な部材を選定することができる。
により、半導体装置本体とインタポーザとの機械的
及び電気的接合を共に薄実装に行なうことが可能とな
り、半導体装置の信頼性を向上させることができる。

【0052】更に、接着剤は固化した状態においても
一定の可撓性を有し、かつ半導体装置本体とインタポー
の間に介装されるため、この接着剤は緩衝膜として機
能する。よって、接着剤により、半導体装置本体とイン
タポーザとの間に発生する応力を緩和することができ
また、請求項24記載の発明によれば、導電性部材と

【0057】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1は本発明の第1実施例である半導体装置10Aを示している。図1(A)は半導体装置10Aの断面図であり、また図1(B)は半導体装置10Aの側面図である。

【0058】本実施例に係る半導体装置10Aは、大略すると半導体素子12、電極板14A、封止樹脂16A、及び突出端子18からなる極めて簡単な構成とされている。半導体素子12(半導体チップ)は、半導体基板上に電子回路が形成されたものであり、その実装面側には複数のバンパ電極22が形成されている。このバンパ電極22は、例えば半田ボールを転写法を用いて配設した構成とされており、電極板14にフリップチップ接合により接合されている。

【0059】このように、半導体素子12と電極板14とをフリップチップ接合したことにより、ワイヤを用いて接続する構成に比べて接合に要するスペースを小さくすることができ、半導体装置10Aの小型化を図ることができる。また、接合部分における配線長を短くすることができ、インピーダンス低減と低減できる電気的接続の向上を図ることができる。更に、隣接するバンパ電極22間のピッチを狭ピッチ化できるため、多ピン化にも対応することができ、

【0060】また、上記の電極板14はいわゆるインタポーズにより機能するものであり、例えば銅合金等の導電性金属により形成されている。この電極板14は、図2(A)に示されるように、所定のパターン形状を有した複数の金属板パターン26により構成されている(尚、後述するように、図2(A)はリードフレーム形状の電極板14を示している)。

【0061】この金属板パターン26は、図中下面に半導体素子12のバンパ電極22が接合されると共に、図中上面である半導体素子12の配設面と異なる面に突出端子18が接合される。よって、金属板パターン26は、バンパ電極22と突出端子18とを電気的に接続する機能を果たす。また、図1(B)に示されるように、金属板パターン26の端部は封止樹脂16Aの側面から露出し、側部端子20を形成している。

【0062】突出端子18は、例えば半田よりなるボールバンパ(突起電極)であり、上記のように電極板14に接合されている。この突出端子18は、金属板パターン26を介して対応する既定のバンパ電極22に電気的に接続される。封止樹脂16Aは、半導体素子12、電極板14、及び突出端子18の一部を封止するよう形成されている。この封止樹脂16Aは、例えばポリイミド、エポキシ等の絶縁性を有した樹脂であり、半導体素子12を覆い保護するに足る最小の大きさで形成されている。これにより、半導体装置10Aの小型化を図ることができ、

【0063】また、封止樹脂16Aを形成した状態において、半導体素子12の背面28は封止樹脂16Aから露出するよう構成されている。半導体素子12の背面28は電子回路等は形成されておらず比較的強度が高い部位であるため、背面28を封止樹脂16Aから露出させて特に不都合は生じない。また、逆って背面28を封止樹脂16Aから露出させることにより、半導体素子12で発生した熱は、この背面28から外部に放熱されるため、半導体装置10Aの放熱効率を向上させることができる。

【0064】また前記のように、封止樹脂16Aを形成した状態において、電極板14の端部は封止樹脂16Aの側面から露出し側部端子20を形成している。このように、側部端子20が封止樹脂16Aの側面から露出する構成とすることにより、側部端子20を突出端子18と共に他の基板或いは装置と接続する外部接続端子として用いることが可能となる。

【0065】図11は、本発明の第1実施例である半導体装置の実装構造を示しており、上記した構成の半導体装置10Aを実装基板32に実装した状態を示している。同図に示されるように、実装状態で突出端子18は封止樹脂16Aの底面と実装基板32との間に位置することとなり、外部から観察したりまたプローブ等のテスト治具を接続することはできない。

【0066】しかるに、半導体装置10Aでは、側部端子20を封止樹脂16Aの側面から露出させた構成としているため、半導体装置12を実装基板32に実装した後においても、この側部端子20を用いて半導体素子10Aの動作試験を行なうことが可能となる。よって、不良半導体装置の発見を容易に行なうことができ、実装時における歩留りの向上及び信頼性の向上を図ることができる。

【0067】再び図1に戻り、半導体装置10Aの説明を続ける。上記した封止樹脂16Aは、半導体素子12を覆うばかりではなく、電極板14の突出端子18が接合された面にも形成されている。このため、突出端子18は封止樹脂16Aにより保持する機能を果たす。よって、突出端子18が突出端子18が半導体装置10Aから離脱することを防止することができる。また、封止樹脂16Aは絶縁性を有しているため、突出端子18の配設密度が高い場合(即ち、狭ピッチ化された場合)であっても、実装時に隣接する突出端子18間で短絡が発生することを防止することができる。

【0068】更に、突出端子18は、封止樹脂16Aが形成された状態において、封止樹脂16Aから突出するよう構成されている。このため、実装時に確実に突出端子18を実装基板32に接続することができ、また図1に示したように半導体装置10AをBGA(Ball Grid Array)と同様に取り扱うことができ、実装性の向上を図ることができ、

られた電極板14Aに注目する。

【0069】前記のように電極板14Aは金属板であり、この電極板14Aを半導体素子12を保護する封止樹脂16A内に設けることにより、電極板を封止樹脂16Aを補強する補強材として機能させることができる。これにより、半導体素子12の保護をより確実なうことができ、よって半導体装置10Aの信頼性を向上させることができる。

【0070】また、電極板14Aは、外部接続端子12との間に位置するものである。このため、従来の半導体素子に直接外部接続端子を接続する構成と異なり、半導体装置10Aの内部において電極板14Aより半導体素子12と突出端子18、側部端子20との配線の引回しを行なうことが可能となる。よって、電極板14を設けることにより、半導体装置12及び外部接続端子(突出端子18、側部端子20)の端子レートの自由度を高めることができる。

【0071】更に、電極板14Aは導電性金属よりなり、一般に導電性金属(本実施例の場合は銅合金)は、封止樹脂16Aよりも熱伝導性が良好であるため、半導体素子12で発生した熱は電極板14Aを介して外部に放熱される。よって、半導体素子12で発生した熱をよく放熱することができ、半導体素子12の安定した動作を担保することができる。

【0072】続いて、上記構成とされた半導体装置10Aの製造方法について説明する。図2乃至図5は、半導体装置10Aの製造方法を説明するための図である。尚、図2乃至図5においては、図1に示した構成と対応する構成については同一符号を付して説明する。本実施例に係る製造方法は、電極板形成工程、切断工程と突出端子形成工程、封止樹脂形成工程、切断工程とを繰り返して行なう。電極板形成工程では、例えばリードフレーム材である銅合金(例えば、Cu-Ni-Sn系)よりなる金属基板に対し、パターン形成処理を行なうことに伴って複数の電極板14を有するリードフレーム24Aを形成する。この電極板形成工程で実施されるパターン形成処理は、エッチング法またはプレス加工法を用いて行なわれる。

【0073】このエッチング法及びプレス加工法は、一般の半導体装置の製造工程において、リードフレーム材として一般に用いられている手法である。よってエッチング法またはプレス加工法を適用することにより、設備の増加を伴うことなくリードフレーム24Aより、設備の増加を伴うことなくリードフレーム24Aを形成することができる。図2(A)は、リードフレーム24Aの一部を拡大した図であり、4個の電極板14が示されている。本実施例に係る製造方法では、多数取りを行なう構成とされているため、よって同図に示れるようにリードフレーム24Aには複数の電極板14が形成されている。

【0074】この電極位置14Aは、前記したように複数の金属板パターン26により構成されている。この金属板パターン26は、上記のパターン形成処理において任意の配線パターンに設定することができるため、電極板14により電極板14Aに形成される外部接続端子の端子レイアウトに自由度を持たせることができる。

【0075】一方、図2(B)は、前記した電極板14A(リードフレーム24A)に搭載される半導体素子12(12A～12C)を示している。本実施例では、一つの電極板14Aに3個の半導体素子12A～12Cを搭載する構成とされている。また、各半導体素子12A～12Cは、夫々電極板14Aと電気的に接続するためのパンプ電極22が配設されている。

【0076】図2に示すように、半導体素子12A～12Cの大きさとは、必ずしも同一である必要はない。また、各電極板14Aに形成された金属板パターン26は、各半導体素子12A～12Cに形成されたパンプ電極22の形成位置と対応するよう構成されている。上記した電極板形成工程が終了すると、続いてチップ搭載工程が実施される。このチップ搭載工程では、電極板14Aに半導体素子12A～12Cを搭載し電気的に接続する処理が行なわれる。図3(A)、(B)は、半導体素子12A～12Cが電極板14Aに搭載された状態を示している。

【0077】本実施例では、半導体素子12A～12Cを電極板14Aに接合する手段として、直接パンプ電極22を電極板14Aに接合するフリップチップ接合法を採用している。このフリップチップ接合法を用いることにより、前記したように半導体素子12A～12Cと電極板14Aとの接合エリアのスペース化を図ることができると共に、接続インピーダンスの低減を図ることができる。

【0078】上記したチップ搭載工程が終了すると、続いて突出端子形成工程が実施される。この突出端子形成工程は、電極板14Aを構成する金属板パターン26の所定位置に突起端子18を形成する。突起端子18は半田ボールにより構成されており、例えば配線法を用いて金属板パターン26に接合される。図4は、突起端子18が配設された電極板14Aを示している。この突起端子18は、上記のように金属板パターン26の配線パターンを適宜遷定することにより、マトリックス状に配設されている。

【0079】上記した突出端子形成工程が終了すると、続いて封止樹脂形成工程が実施される。この封止樹脂形成工程では、半導体素子12(12A～12C)及び突起端子18が配設されたリードフレーム24Aを金型に装着し、圧縮成形法を用いて封止樹脂16Aを形成する。封止樹脂16Aを形成することにより、半導体素子12及び電極板14Aは封止樹脂16Aに封止される。

よって、半導体素子12及び電極板14Aは封止樹脂16Aにより保護され、よって半導体装置10Aの信頼性を向上させることができる。

【0080】図5は、封止樹脂16Aが形成されたリードフレーム24Aを示している。同図に示すように、封止樹脂16Aが形成された状態において、半導体素子12(12A～12C)はその背面28を封止樹脂16Aから露出させており、また突起端子18はその先端所定部分が封止樹脂16Aから突出するよう構成されている。このように、半導体素子12の背面28を封止樹脂16Aから露出させることにより放熱効率を向上できると共に、突起端子18の先端部を封止樹脂16Aから突出させることにより、実装性の向上を図ることができる。

【0081】上記した封止樹脂形成工程が終了すると、続いて切断工程が実施される。この切断工程では、多数個取りを行なうために複数個一括的に形成された半導体装置の各境界位置(図5にA～A'で示す破線位置)で、封止樹脂16A及びリードフレーム24A(電極板14A)を切断する。これにより、図1に示す半導体装置10Aが形成される。

【0082】上記のように、封止樹脂16Aと共にリードフレーム24A(電極板14A)を切断することにより、電極板14Aの切断位置は封止樹脂16Aの側面に必ず露出することとなり側面端子20を形成する。よって、この側面端子20を外部接続端子として用いることができる。続いて、第2実施例に係る半導体装置10Bについて説明する。

【0083】図6は、第2実施例に係る半導体装置10Bを説明するための図であり、図6(A)は半導体装置10Bの断面を、図6(B)は半導体装置10Bの底面を示している。尚、図6において、図1を用いて説明した第1実施例に係る半導体装置10Aと同一構成については、同一符号を付してその説明を省略する。また、以下説明する各実施例においても、同様とする。

【0084】前記した第1実施例に係る半導体装置10Aは、電極板14Aに突起端子18を形成し、この突起端子18を封止樹脂16Aから露出させる構成としていた。これに対し、本実施例に係る半導体装置10Bは、突起端子18を設けることなく、電極板14Aを直接封止樹脂16Bから露出させたことを特徴とするものである。

【0085】本実施例に係る半導体装置10Bは、突起端子18が設けられていないため、部品点数の削減及び製造工程の簡素化を図ることができる。また、電極板14Aは、封止樹脂16Bの側面に加え底面にも露出し外部接続端子を形成するため、側面及び底面の両方において実装を行なうことができる。図13は、半導体装置10Bを実装基板32に実装した構造を示している。同図に示されるように、半導体装置10Bは実装基板32に

半田36を用いてフェイスダウンボンディングされている。この際、半田36は、電極板14Aの底面部ばかりでなく、側面端子20にも回り込んで半田付けされている。

【0086】また、本実施例に係る半導体装置10Bは、後述する第3実施例に係る半導体装置10Cと同様に側面端子20のみを用いて実装することも可能であり、よって実装構造の自由度を向上させることができる。続いて、第3実施例に係る半導体装置10Cについて説明する。図7は、第3実施例に係る半導体装置10Cを説明するための図であり、図7(A)は半導体装置10Cの断面を、図7(B)は半導体装置10Cの上面を示している。

【0087】前記した第2実施例に係る半導体装置10Bは、電極板14Aの底面及び側面部を共に直接封止樹脂16Bから露出させた構成としていたが、本実施例に係る半導体装置10Cは、電極板14Aの側面部のみを封止樹脂16Cから露出させ側面端子20を形成したことを特徴とするものである。本実施例に係る半導体装置10Cでは、電極板14Aが側面部20を露し封止樹脂16Cに埋設された構成とされているため、熱応力や外力により電極板14Aが封止樹脂16Cから剥離することを防止でき、半導体装置10Cの信頼性を向上させることができる。

【0088】続いて、第4実施例に係る半導体装置10Dについて説明する。図8は、第4実施例に係る半導体装置10Dを説明するための図であり、図8(A)は半導体装置10Dの断面を、図8(B)は半導体装置10Dの上面を、図8(C)は半導体装置10Dの底面を示している。本実施例に係る半導体装置10Dは、電極板14Bに突起端子30(突出端子)を形成したことを特徴とするものである。この突起端子30は電極板14Bを塑性加工(例えば、プレス加工)することにより形成されており、よって突起端子30と電極板14Bとは一体的な構成とされている。

【0089】また、突起端子30の形成処理は、前記した電極板形成工程で一括的に形成することができる。このため、突起端子30を形成することにより製造工程が複雑になるようなことはなく、また突起端子30を別部材により形成する構成に比べて部品点数の削減を図ることができる。上記構成とされた突起端子30は、図8(A)、(B)に示されるように、封止樹脂16Dの底面から露出するよう構成されている。このように、突起端子30を封止樹脂16Dの底面から露出させることにより、突起端子30の側面までも回り込み、実装を行なうことができる。続いて、上記した第2実施例に係る半導体装置10A～10Dを実装基板2に実装する実装構造について説明する。

【0090】図17は、上記した半導体装置10Dを実装基板32に実装した状態を示している。同図に示されるように、半導体装置10Dは半田54を用いて実装基板32に実装されるが、この際突起端子30は封止樹脂16Dの底面及び側面に露出するよう遷定されている。よって、図17に示されるように、実装時に半田54は突起端子30の側面までも回り込み、実装を行なうことができる。続いて、上記した第2実施例に係る半導体装置10A～10Dを実装基板2に実装する実装構造について説明する。

【0091】また、突起端子30及び側面端子20を除き、電極板14Bは封止樹脂16Dに埋設されたままとなるため、隣接する突起端子30は封止樹脂16Dにより絶縁される。このため、実装時に半田54は突起端子30の間で短絡が発生するようにならず、実装の信頼性を向上させることができる。及び図10は、第2実施例に係る半導体装置10Dの製造方法を示しており、前記した半導体装置10Dの製造方法

脂16Dの底面及び側面に露出した構成とされている。め、半田54との接合面積を大きくすることができ、よって確実に突起端子30を実装基板32に接合することができる。

【0091】また、突起端子30及び側面端子20を除き、電極板14Bは封止樹脂16Dに埋設されたままとなるため、隣接する突起端子30は封止樹脂16Dにより絶縁される。このため、実装時に半田54は突起端子30の間で短絡が発生するようにならず、実装の信頼性を向上させることができる。及び図10は、第2実施例に係る半導体装置10Dの製造方法を示しており、前記した半導体装置10Dの製造方法

【0092】尚、本実施例に係る製造方法は、図2の図5を用いて説明した第1実施例に係る製造方法に準じ、電極板形成工程、封止樹脂形成工程、及び切断工程のみが異なり他の工程は同一であるため、以下の説明は電極板形成工程についてのみ説明するものとする。本実施例に係る電極板形成工程では、電極板14Bをリードフレーム24Bを形成する際、突起端子30も一括的に塑性加工される。このように、電極板14Bも一括的に塑性加工される。このように、電極板14Bを形成するため行なわれる塑性加工を一括的に実施するのとは、リードフレーム24Bを形成する金型の構成を固定することにより容易に実現することができる。【0093】図9は、電極板形成工程が実施されることにより形成されたリードフレーム24Bを示している。同図において、ハッチングで示される部分が突起端子30であり、この突起端子30は電極板14Bに突出した形状を有している。このように、本実施例によれば、突起端子30の形成を電極板14Bの形成と同時に一括的に行なうことができるため、半導体装置10Dの製造工程の簡素化を図ることができる。

【0094】また、図10に示されるように、封止樹脂形成工程では突起端子30が封止樹脂16Dから露出するよう封止樹脂16Dを形成する。このように、突起端子30を封止樹脂16Dから露出させるには、封止樹脂形成工程で用いる金型のキャピティ面を突起端子30に当接させた状態とすることにより、容易に実現することができる。

【0095】また、切断工程における切断位置は、図10の側面が封止樹脂16Dから露出するよう遷定されている。よって、図17に示されるように、実装時に半田54は突起端子30の側面までも回り込み、実装を行なうことができる。続いて、上記した第2実施例に係る半導体装置10A～10Dを実装基板2に実装する実装構造について説明する。

【0096】図11乃至図17は、第1乃至第7実施例である半導体装置10A～10Dの実装構造を示して

る。尚、図11に示す半導体装置10Aを装着する第1実施例に係る実装構造、図13に示す半導体装置10Bを装着する第3実施例に係る実装構造、及び図17に示す半導体装置10Dを装着する第7実施例に係る実装構造については既に説明済であるため、ここでの説明は省略するものとする。

【0097】図12は、第2実施例に係る半導体装置の実装構造を示している。本実施例に係る実装構造は、第1実施例に係る半導体装置10Aを例に挙げたものであり、外部端子を形成する突起部18に実装用パンプ34を配設し、この実装用パンプ34を介して半導体装置10Aを実装基板32に接合させたことを特徴とするものである。

【0098】このように、実装用パンプ34を介して半導体装置10Aを実装基板32に接合させる構造とする。ことにより、半導体装置10AをBGA(Ball Grid Array)と同様に実装することができ、実装性の向上及び多ピン化への対応を図ることができる。また、突起部18は電極14Aに形成されるものであるため、その体積を大きくするには限界があるが、実装用パンプ34の体積は任意に設定することができる。よって、実装用パンプ34間で短絡が発生しない範囲において実装用パンプ34の体積を最大とすることにより、半導体装置10Aと実装基板32との接合力を増大させることができ、これにより実装の信頼性を向上させることができる。尚、本実施例に係る実装構造は、他の実施例に係る半導体装置10A、10B、10Dについても適用できるものである。

【0099】図14は、第4実施例に係る半導体装置の実装構造を示している。本実施例に係る実装構造は、第2実施例に係る半導体装置10Bを例に挙げたものであり、実装部材38を用いて半導体装置10Bを実装基板32に接合させたことを特徴とするものである。実装部材38は、接続ピン40と位置決め部材42とにより構成されている。接続ピン40は可撓可能な導電性金属材料（例えば、導電性を有したバネ材）よりなり、電極板14Aの外部接続端子として機能する位置と対応した位置に配設されている。また、位置決め部材42はシリコンゴム等の可撓性及び絶縁性を有した材料により形成されており、接続ピン40を上記の所定位置に位置決めする機能をするものである。

【0100】上記構成とされた実装部材38は、実装された状態において、接続ピン40の上端部が半導体装置10Bの電極板14Aに接合（例えば、半田付け接合）し、また接続ピン40の下端部は実装基板32に接合される。従って本実施例に係る実装構造では、外部接続端子と実装基板との間に接続ピンが介在した構成となる。接続ピン40は、前記のように可撓可能な構成であるため、例えば加熱時等に半導体装置10Bと実装基板32との間で熱膨張差に起因した応力が発生しても、

この応力は接続ピン40が可撓することにより吸収される。

【0101】よって、上記の応力が加わされても半導体装置10Bと実装基板32との接合状態を確実に維持することができ、実装の信頼性を向上させることができる。この際、接続ピン40を保持する位置決め部材42も可撓性を有した構成とされているため、接続ピン40の可撓変形を阻止するようなことはなく、応力の吸収を確実に行なうことができる。

【0102】更に、接続ピン40は位置決め部材42により位置決めされているため、実装時に図々々の接続ピン40と半導体装置10B（電極板14A）、または個々の接続ピン40と実装基板32との位置決め処理を行なう必要はなく、実装作業の容易化を図ることができ、尚、本実施例に係る実装構造は、他の実施例に係る半導体装置10A、10B、10Dについても適用できるものである。図15は、第5実施例に係る半導体装置の実装構造を示している。

【0103】本実施例に係る実装構造は、第3実施例に係る半導体装置10Cを例に挙げたものであり、ソケット44を用いて半導体装置10Cを実装基板32に実装したことを特徴とするものである。ソケット44は、半導体装置10Cが装着される装着部46と、封止樹脂16Cの側面に露出した側部端子20と接続するよう設けられたリード部48とを有した構成とされている。そして、半導体装置10Cを装着部46に装着し、リード部48の上部と半導体装置10Cの側部端子20とを電気的に接続した上で、リード部48の下部を実装基板32に接合（例えば、半田付け接合）する。これにより、半導体装置10Cはソケット44を介して実装基板32に実装される。

【0104】このように、ソケット44を用いて半導体装置10Cを実装基板32に実装する構造とすることにより、実装基板32に対する半導体装置10Cの装着脱は、単にソケット44に対して半導体装置10Cを装着脱すればよい。半導体装置10Cの装着脱を容易に行なうことが可能となる。このため、例えばメンテナンス等において半導体装置10Cを交換する必要があるような場合でも、容易に交換処理を行なうことができる。

【0105】また、ソケット44に設けられたリード部48は、装着部46の側面に配設されており、また半導体装置10Cの側部端子20は封止樹脂16Cの側面に露出した構成である。このため、半導体装置10Cを装着部46に装着した状態においてリード部48と側部端子20とが対向するため、リード部48を引くことにより、半導体装置10Cとの接続を行なうことができる。よってソケット44の構造の簡単化を図ることができる。

【0106】図16は、第6実施例に係る半導体装置の実装構造を示している。本実施例に係る実装構造は、前

記した第5実施例に係る実装構造と同様にリード部50を用いて半導体装置10Cを実装基板32に実装するものであるが、装着部46に代えてダイステージ52を用いたことを特徴とするものである。本実施例に係るソケット51は、リードフレーム材料により一体的に形成されたリード部50とダイステージ52とにより構成されている。ダイステージ52は半導体装置10Cを装着する部分であり、その外周位置に複数のリード部50が形成されている。このリード部50は、その半導体装置10Cと対向する部分の一部が直角上方に折曲され、側部端子20と電気的に接続されたソケット51を用いることにより、第5実施例に係る実装構造と同様に半導体装置10Cの装着脱を容易に行なうことが可能となる。また、ソケット51を構成するリード部50とダイステージ52は一体的な構成であるため、部品点数の削減を図ることができると共に容易にソケット51を製造することができる。

【0108】続いて、第5実施例である半導体装置10Eについて説明する。図18は、第5実施例である半導体装置10Eの断面図である。本実施例に係る半導体装置10Eは、前記した第1実施例に係る半導体装置10Aに対し、その上面に放熱板56（放熱部材）を設けたことを特徴とするものである。放熱板56は、例えばアルミニウム板等の熱伝導率が良好で、かつ軽量の材質が用いられている。この放熱板56は、熱伝導率が高い接合層を用いて半導体装置12及び封止樹脂16Aに接合されている。このように、封止樹脂16Aの半導体装置12に近接する位置に放熱板56を配設したことにより、半導体装置12で発生する熱を効率よく放熱することができ、

【0109】特に、本実施例では半導体装置12の背面28は封止樹脂16Aから露出した構成とされており、放熱板56はこの露出した背面28に直接接合された構成とされている。よって、放熱板56と半導体装置12との間に、熱伝導性が不良な封止樹脂16Aが介在しないため、放熱特性を更に良好なものとすることができ、

【0110】続いて、上記構成とされた半導体装置10Eの製造方法（第3実施例に係る製造方法）について説明する。図19乃至図24は、半導体装置10Eの製造方法を説明するための図である。尚、図19乃至図24において、第1実施例に係る製造方法の説明に用いた図2乃至図5で示した構成と対応するものについては同一符号を付し、またその説明は省略する。

【0111】本実施例に係る製造方法は、第1実施例に係る製造方法に対し、少なくともチップ搭載工程を実施する前に、半導体装置12を放熱板56上に位置決めして取り付けるチップ取り付け工程を実施することとを特徴とするものである。また、電極板形成工程、チップ搭載

工程、突出端子形成工程、封止樹脂形成工程、及び切工程は、基本的に第1実施例と同様の処理が行なわれる。

【0112】図19は、電極板形成工程を実施することにより形成されたリードフレーム24Aの一部を拡大した図であり、図中破線で囲まれた傾斜が1個の半導体装置10Eに対応する領域である（以下、この領域を接続領域58という）。また、図20はチップ取り付け工程を説明するための図である。チップ取り付け工程では、前記した接続領域58と同一面積を有した放熱板566を形成しておき、この放熱板566上に半導体装置12（2A～12C）を電極板14Aへの配設位置と対応する位置に位置決めして接合する。これにより、各半導体装置12（2A～12C）は、電極板14Aへの配設位置に固定されたこととなり、また3個の半導体装置12（2A～12C）を一体的に取り扱うことが可能となる。

【0113】尚、図20に示す例では、各放熱板566は接続領域58に対応した大きさに分離され別個の構成とされているが、図21に示すように、連結部60により各放熱板566をリードフレーム24Aの各接続領域56の形成位置と対応するよう連結した構成としてもよい。上記したチップ取り付け工程が終了すると、続いてチップ搭載工程及び突出端子形成工程が実施される。図22は、放熱板566がリードフレーム24Aに取り付けられた一部を拡大して示す図であり、また図23はその全体を示す図である。

【0114】チップ搭載工程では、半導体装置12（2A～12C）が取り付けられた放熱板566をリードフレーム24Aに配設することにより、電極板14Aに半導体装置12A～12Cを搭載し電気的に接続する処理が行なわれる。前記したように、本実施例ではチップ搭載工程を実施する前に、半導体装置12（2A～12C）を放熱板566上に位置決めして取り付け付けるチップ取り付け工程が実施されている。よって、チップ搭載工程では、放熱板566をリードフレーム24Aの接続領域58に位置決めして取り付けることにより、複数の半導体装置12（2A～12C）を一括的に電極板14Aに搭載することができる。

【0115】これにより、チップ搭載工程では個々の半導体装置12（2A～12C）の位置決めを行なう必要がなくなり、単に形状の大きな放熱板566と電極板4（リードフレーム24A）とを位置決めすればよい。位置決め処理を容易化することができる。また、図21に示した、連結部60により複数の放熱板566が合領域58に対応して設けられたものを用いることに、更に多数個の半導体装置12を一括的に電極板1（リードフレーム24A）に位置決めして搭載することができ、位置決め処理が更に容易化し半導体装置10Eが、

は強くなる。よって、外部接続端子76がインタポータ72Aから離脱することを防止でき、半導体装置10Kの信頼性を向上させることができる。続いて、第12実施例である半導体装置10Lについて説明する。

【0137】図32は、第12実施例に係る半導体装置10Lの要部を拡大して示した図である。尚、図32において、図30を用いて説明した第11実施例に係る半導体装置10Kの構成と対応する構成については、同一符号を付してその説明を省略する。本実施例に係る半導体装置10Lは、インタポータ72A上に所定の厚さを有する絶縁部材94を配設したことを特徴とするものである。この絶縁部材94は例えばポリイミド系の絶縁樹脂であり、半導体装置本体70に設けられた突起電極80の形成位置と対応する位置には接続孔96が形成されている。

【0138】上記構成とされた半導体装置10Lによれば、半導体装置本体70をインタポータ72Aに装着する際、半導体装置本体70をインタポータ72Aに向けて押圧すると、この押圧力により異方性導電層74は変形付勢され、この際、特に接続孔96の形成位置においては、異方性導電層74は狭い接続孔96内に入り込むようになり、よって接続孔96の内圧は高くなる。

【0139】このように、接続孔96内における異方性導電層74の圧力が集中的に高くなるため、異方性導電層74内に混入されている導電性フィラーの密度も高くなる。よって、異方性導電層74の接続孔96内における導電率は向上し、よって半導体装置本体70とインタポータ72Aとの電気的な接続を確実にこなうことができる。

【0140】図33及び図34は、半導体装置10Lの製造方法（第5実施例に係る製造方法）を示している。尚、図33及び図34において、第4実施例に係る製造方法を説明するのに用いた図31に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Lを多数個取りする方法について説明するものとする。

【0141】半導体装置10Lを製造するには、予め別工程において半導体装置本体70が複数個形成されたウエハ90、異方性導電層74、及びインタポータ72Aが複数形成されたTABテープ92を形成しておく。このTABテープ92を形成する際、その上面（ウエハ90が装着される面）の半導体装置本体70と対向する位置に絶縁部材94を形成する。この絶縁部材94は、例えばホトリソの形成技術を利用して形成することができる。また、この絶縁部材94を形成する際、突起電極80の形成位置と対応する位置に接続孔96を形成しておく。

【0142】そして、図33に示されるように、突起電極80と接続孔96との位置決めを行なった上で、ウエハ90とTABテープ92との間に異方性導電層74を

介装し、ウエハ90をTABテープ92に向けて押圧する。これにより、前記のように異方性導電層74の有する接着性によりウエハ90とTABテープ92は機械的に被合されると共に、異方性導電層74の有する異方性導電性により突起電極80は配線パターン84Aに電気的に被合される。この際、前記したように接続孔96内においては異方性導電層74の導電性が向上するため、突起電極80と配線パターン84Aとの電気的接続を確実にこなうことができる。

【0143】図34は、ウエハ90とTABテープ92とが被合された状態を示している。このように、ウエハ90とTABテープ92の被合処理が終了すると、鋭い図34にA-Aで示す破線位置で切断処理が行なわれる。これにより、個々の半導体装置本体70及びインタポータ72Aが形成され、図32に示す半導体装置10Lが形成される。よって、本実施例の製造方法によれば、半導体装置本体70とインタポータ72Aとの機械的接合処理及び電気的接合処理を一括的にこなうことができるため、半導体装置10Lの製造工程を簡便化することができる。また、本実施例ではいわゆる多数個取りができるため、半導体装置10Lの製造効率を向上させることができる。

【0144】更に、一般に異方性導電層74を用いた電気的接続の構造では、電気的接続の接着力が低下することが問題とされるが、本実施例では半導体装置本体70（突起電極80）と対向する位置に接続孔96が形成された絶縁部材94を配設したことにより、突起電極80と配線パターン84Aとの電気的接続を確実にこなうことができる。よって、半導体装置10Lの信頼性を向上させることができる。

【0145】続いて、第13実施例である半導体装置10Mについて説明する。図35は、第13実施例に係る半導体装置10Mを示しており、図35（A）は半導体装置10Mの断面を、図35（B）は半導体装置10Mの底面を示している。尚、図35において、図30を用いて説明した第11実施例に係る半導体装置10Kの構成と対応する構成については、同一符号を付してその説明を省略する。

【0146】前記した第11実施例に係る半導体装置10Kでは、小型化を図るために半導体装置本体70に形成された突起電極80の配設ピッチと、インタポータ72Aに配設された外部接続端子76の配設ピッチとを同一ピッチとするよう構成していた。これに対し、本実施例に係る半導体装置10Mは、半導体装置本体70に形成された突起電極80の配設ピッチに対し、インタポータ72Bに配設された外部接続端子76の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポータ72Bの面積は半導体装置本体70の面積に対し広がっている。

【0147】このように、突起電極80の配設ピッチに

対し外部接続端子76の配設ピッチを大きく設定したことにより、インタポータ72B上における配線パターン84Bの引回しの自由度を更に向上させることができる。具体的には、図35（B）に示されるように、突起電極80が配設された接続孔96の形成位置と外部接続端子76の配設位置とを離間させ、この接続孔96と外部接続端子76とを配線パターン84Bで接続することが可能となる。

【0148】これにより、外部接続端子76の端子レイアウトの自由度が向上し端子設計の容易化を図ることができる。また、半導体装置本体70の高密度化により突起電極80の電極間ピッチが狭ピッチ化しても、突起電極80と外部接続端子76との配設位置を異ならせることができるため、上記の狭ピッチ化に容易に対応することができ。

【0149】図36は、上記した半導体装置10Mの製造方法（第6実施例に係る製造方法）を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置10Mを形成する方法を例に挙げて示している。本実施例に係る半導体装置10Mの製造方法では、予め別工程において半導体装置本体70、異方性導電層74、及びインタポータ72Bを形成しておく。そして、突起電極80と接続孔96との位置決めを行なった上で、半導体装置本体70とインタポータ72Bとの間に異方性導電層74を介装し、半導体装置本体70をインタポータ72Bに向けて押圧する。

【0150】これにより、異方性導電層74の有する接着性により半導体装置本体70とインタポータ72Bは機械的に被合されると共に、異方性導電層74の有する異方性導電性により半導体装置本体70とインタポータ72Bは電気的に被合される。これにより、図35に示す半導体装置10Mが形成される。よって、本実施例の製造方法によっても、半導体装置本体70とインタポータ72Bとの機械的接合処理及び電気的接合処理を一括的にこなうことができるため、半導体装置10Mの製造工程を簡便化することができる。

【0151】続いて、第14実施例である半導体装置10Nについて説明する。図37は、第14実施例である半導体装置10Nを示す断面図である。尚、図37において、図30を用いて説明した第11実施例に係る半導体装置10Kの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第11実施例に係る半導体装置10Kは、半導体装置本体70とインタポータ72Aを被合するのに異方性導電性層74を用い、半導体装置本体70とインタポータ72Aとを電気的及び機械的に一括的に被合する構成とされていた。

【0152】これに対し、本実施例に係る半導体装置10Nは、異方性導電性層74に代えて接着力98と導電性ペースト100（導電性部材）を設けたことを特徴とするものである。接着力98は、例えばポリイミド系の

絶縁性樹脂であり、硬化した後においても所定の可塑性を有する材質に選定されている。この接着力98は半導体装置本体70とインタポータ72Aとの間に介され、この半導体装置本体70とインタポータ72Aとを接合する機能を果たする。また、接着力98の突起電極80の形成位置に対応する位置には通孔102が設けられている。

【0153】一方、導電性ペースト100は所定の導電性を有しており、よって上記の通孔102内にも入り込む構成とされている。この導電性ペースト100は通孔102内に介装されることにより、半導体装置本体70とインタポータ72Aとを電気的に接続する機能を果たす。具体的には、導電性ペースト100により突起電極80と配線パターン84Aとが電気的に接続されることにより半導体装置本体70とインタポータ72Aとに接続される。

【0154】上記のように、本実施例に係る半導体装置10Nでは、接着力98が半導体装置本体70とインタポータ72Aとを機械的に被合し、また導電性ペースト100が半導体装置本体70とインタポータ72Aとを電気的に被合（接続）することにより、半導体装置本体70とインタポータ72Aとを被合する際に行なわれる機械的接合と電気的接合を別個の部材（接着力98、導電性ペースト100）により行なうことにより、各々（機械的接合機能、電気的接合機能）に最適な部材を決定することができる。これにより、半導体装置本体70とインタポータ72Aとの機械的接合及び電気的接合共に確実にこなうことが可能となり、半導体装置10の信頼性を向上させることができる。

【0155】更に、接着力98は固化した状態においても所定の可塑性を有し、かつ半導体装置本体70とインタポータ72Aの間に介装されるため、この接着力98は緩衝層として機能する。よって、接着力98により半導体装置本体70とインタポータ72Aとの間に介する応力を緩和することができる。尚、本実施例にも半導体装置10Nは突起電極80の配設ピッチと外部接続端子76の配設ピッチとが等しく設定された構成であるため、半導体装置10Nの小型化を図ることができる。

【0156】図38乃至図40は、半導体装置10Pの製造方法（第7実施例に係る製造方法）を示している。尚、図38乃至図40において、第5実施例に係る製造方法を説明するのに用いた図33及び図34に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Nを多数個取りする方法について説明するものとする。

【0157】半導体装置10Nを製造するには、予め突起電極80と接続孔96との位置決めを行なった上で、ウエハ90、接着力98、及びインタポータ72Bが

層形成されたTABテープ92を形成しておく。この半導体装置70を形成する際、積層形成されている突起電極80にはそれぞれ導電性ペースト100が塗布されている。また、接着剤98の突起電極80の形成位置と対応する位置には、通孔102が予め穿設されている。更に、TABテープ92を形成する際、その上面(ウェハ90が装着される面)の半導体装置本体70と対向する位置に絶縁部材94を形成する。

【0158】この絶縁部材94は、例えばボトレジストの形成技術を利用して形成することができる。また、この絶縁部材94を形成する際、突起電極80の形成位置と対応する位置に接線孔96を形成しておく。そして、突起電極80と接線孔96との位置決めを行なった上で、ウェハ90とTABテープ92との間に接着剤98を介装し、ウェハ90をTABテープ92に接着固定する。これにより、接着剤98によりウェハ90とTABテープ92は機械的に接合されると共に、導電性ペースト100は通孔102及び接線孔96内に入り込み、突起電極80と配線パターン84Aは電気的に接合される。図39は、ウェハ90とTABテープ92とが接合された状態を示している。

【0159】このように、ウェハ90とTABテープ92の接合処理が終了すると、続いて図39にA-Aで示す接線位置で切断処理が行なわれる。これにより、個々の半導体装置本体70及びインタポザ72Bが形成される。図37に示す半導体装置10Nが形成される(図37に示す半導体装置10Nは、絶縁部材94が設けられていない構成を示している)。

【0160】尚、上記した製造方法では、半導体装置10Nを多数個取りする方法について述べたが、図40に示すように、個々に半導体装置10Nを製造することも可能である。続いて、第15実施例である半導体装置10Pについて説明する。図41は、第15実施例に係る半導体装置10Pを示す断面図である。尚、図41において、図37を用いて説明した第14実施例に係る半導体装置10Nの構成と対応する構成については、同一符号を付してその説明を省略する。

【0161】前記した第14実施例に係る半導体装置10Nでは、小型化を図るために半導体装置本体70に形成された突起電極80の配設ピッチと、インタポザ72Aに配設された外部接続端子76の配設ピッチとを同一ピッチとするよう構成していた。これに対し、本実施例に係る半導体装置10Pは、半導体装置本体70に形成された突起電極80の配設ピッチに対し、インタポザ72Bに配設された外部接続端子76の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポザ72Bの面積は半導体装置本体70の面積に対し広くなっている。

【0162】このように、突起電極80の配設ピッチに対し外部接続端子76の配設ピッチを大きく設定したこ

とにより、インタポザ72B上における配線パターン84Bの引回しの自由度を更に向上させることができる。これにより、外部接続端子76の端子レイアウトの自由度が向上し端子設計の容易化を図ることができると共に、突起電極80の電極間ピッチが狭びつち化してもこれに容易に対応することができる。

【0163】図42は、上記した半導体装置10Pの製造方法(第8実施例に係る製造方法)を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置10Pを形成する方法に準じて示している。本実施例に係る半導体装置10Pの製造方法でも、予め別工程において半導体装置本体70、接着剤98、及びインタポザ72Bを形成しておく。また、半導体装置70を形成する際、積層形成されている突起電極80にはそれぞれ導電性ペースト100を塗布しておく。また、接着剤98の突起電極80の形成位置と対応する位置には、通孔102を予め穿設しておく。更に、絶縁部材94の突起電極80の形成位置と対応する位置には、接線孔96を形成しておく。

【0164】そして、突起電極80と接線孔96との位置決めを行なった上で、半導体装置本体70とインタポザ72Bとの間に接着剤98を介装し、半導体装置本体70をインタポザ72Bに接着固定する。これにより、接着剤98により半導体装置本体70とインタポザ72Bは機械的に接合されると共に、導電性ペースト100は通孔102及び接線孔96内に入り込み、突起電極80と配線パターン84Aは電気的に接合される。以上の処理を実施することにより、図41に示す半導体装置10Pが形成される。

【0165】続いて、第16実施例である半導体装置10Qについて説明する。図43は、第16実施例である半導体装置10Qを示す断面図である。尚、図43において、図37を用いて説明した第14実施例に係る半導体装置10Nの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第14実施例に係る半導体装置10Nは、導電性ペースト100を用い、この導電性ペースト100により半導体装置本体70とインタポザ72Aとを電気的に接合(接線)する構成とされていた。これに対し、本実施例に係る半導体装置10Qは、導電性ペースト100に代えてスタッドパンプ104(導電性部材)を設けたことを特徴とするものである。

【0166】スタッドパンプ104は、インタポザ72Aに形成された配線パターン84A上の所定位置(突起電極80と対応する位置)に配設されている。また、このスタッドパンプ104はワイヤボンディング技術を用いて形成される。具体的には、ワイヤボンディング装置を用い、先ずキャピラリから延出した金線の先端部に金ボールを形成し、続いてこの金ボールを配線パターン84Aの上記所定位置に押圧する。

【0167】続いて、キャピラリを超音波振動させて金ボールを配線パターン84Aに超音波溶接する。その後、金線をクランプした上でキャピラリを上動させて金線を切断する。以上の処理を行なうことにより、配線パターン84A上にスタッドパンプ104が形成される。

このスタッドパンプ104は、通孔102を介して突起電極80に接続し、これにより半導体装置本体70とインタポザ72Aとを電気的に接続する機能を奏する。

【0168】上記のように、本実施例に係る半導体装置10Qでは、接着剤98が半導体装置本体70とインタポザ72Aとを機械的に接合し、またスタッドパンプ104が半導体装置本体70とインタポザ72Aとを電気的に接合(接線)する。このように、機械的接合と電気的接合を別個の部材(接着剤98、スタッドパンプ104)により行なうことにより、半導体装置本体70とインタポザ72Aとの機械的接合及び電気的接合を共に確実に行なうことが可能となり、半導体装置10Qの信頼性を向上させることができる。

【0169】また、接続状態において、スタッドパンプ104は突起電極80に食い込んだ状態で接続されるため、スタッドパンプ104と突起電極80との電気的接合を確実に行なうことができる。尚、本実施例に係る半導体装置10Qは突起電極80の配設ピッチと外部接続端子76の配設ピッチとが等しく設定された構成であるため、半導体装置10Qの小型化を図ることができる。

【0170】図44乃至図46は、半導体装置10Qの製造方法(第9実施例に係る製造方法)を示している。尚、図44乃至図46において、第7実施例に係る製造方法を説明するのに用いた図38乃至図40に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Qを多数個取りする方法について説明するものとす。

【0171】半導体装置10Qを製造するには、予め別工程において半導体装置本体70が積層形成されたウェハ90、接着剤98、及びインタポザ72Bが複数個形成されたTABテープ92を形成しておく。このTABテープ92を形成する際、その上面(ウェハ90が装着される面)の半導体装置本体70と対向する位置に絶縁部材94を形成する。また、絶縁部材94を形成する際、突起電極80の形成位置と対応する位置に接線孔96を形成し、更に接線孔96の内部の配線パターン84A上にスタッドパンプ104を形成する。

【0172】そして、突起電極80と接線孔96との位置決めを行なった上で、ウェハ90とTABテープ92との間に接着剤98を介装し、ウェハ90をTABテープ92に押圧しつつ接着固定する。これにより、接着剤98によりウェハ90とTABテープ92は機械的に接合されると共に、スタッドパンプ104は通孔102及び接線孔96を介して突起電極80に食い込んだ状態と

なり、よって突起電極80と配線パターン84Aはスタッドパンプ104より電気的に接合される。図45ウェハ90とTABテープ92とが接合された状態を示している。

【0173】このように、ウェハ90とTABテープ92の接合処理が終了すると、続いて図45にA-Aで接線位置で切断処理が行なわれる。これにより、半導体装置本体70及びインタポザ72Bが形成される。図43に示す半導体装置10Qが形成される(図43に示す半導体装置10Nは、絶縁部材94が設けられていない構成を示している)。

【0174】尚、上記した製造方法では、半導体装置10Qを多数個取りする方法について述べたが、図45示すように、個々に半導体装置10Qを製造することも可能である。続いて、第17実施例である半導体装置10Rについて説明する。図47は、第17実施例に係る半導体装置10Rを示す断面図である。尚、図47において、図43を用いて説明した第16実施例に係る半導体装置10Qの構成と対応する構成については、同一符号を付してその説明を省略する。

【0175】前記した第16実施例に係る半導体装置10Qでは、小型化を図るために半導体装置本体70に形成された突起電極80の配設ピッチと、インタポザ72Aに配設された外部接続端子76の配設ピッチとを同一ピッチとするよう構成していた。これに対し、本実施例に係る半導体装置10Rは、半導体装置本体70に形成された突起電極80の配設ピッチに対し、インタポザ72Bに配設された外部接続端子76の配設ピッチを大きく設定したことを特徴とするものである。これにより、インタポザ72Bの面積は半導体装置本体70の面積に対し広くなっている。

【0176】このように、突起電極80の配設ピッチに対し外部接続端子76の配設ピッチを大きく設定し、これにより、インタポザ72B上における配線パターン84Bの引回しの自由度を更に向上させることができる。これにより、外部接続端子76の端子レイアウトの自由度が向上し端子設計の容易化を図ることができる。更に、突起電極80の電極間ピッチが狭びつち化してもこれに容易に対応することができる。

【0177】図48は、上記した半導体装置10Qの製造方法(第10実施例に係る製造方法)を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置10Qを形成する方法に準じて示している。本実施例に係る半導体装置10Qの製造方法でも、予め別工程において半導体装置本体70、接着剤98、及びインタポザ72Bを形成しておく。また、このスタッドパンプ104はワイヤボンディング技術を用いて形成される。具体的には、ワイヤボンディング装置を用い、先ずキャピラリから延出した金線の先端部に金ボールを形成し、続いてこの金ボールを配線パターン84Aの上記所定位置に押圧する。

接線96を形成しておく。更に、接線96内に露出した配線パターン84Aには、前記したワイヤボンディング技術を用いてスタッドパンプ104を形成しておく。[0178]そして、突起電極80と接線96との位置決めを行なった上で、半導体装置本体70とインタポーザ72Bとの間に接線98を介装し、半導体装置本体70をインタポーザ72Bに押圧しつつ接線98を固定する。これにより、接線98により半導体装置本体70とインタポーザ72Bは機械的に接合され、スリットパンプ104は通孔102及び接線96を介して突起電極80に食い込んだ状態となる。以上の処理を行なうことにより、突起電極80と配線パターン84Aはスタッドパンプ104より電気的に接合され、よって図47に示す半導体装置10Rが形成される。

[0179]続いて、第18実施例である半導体装置10Sについて説明する。図49は、第18実施例である半導体装置10Sを示す断面図である。尚、図49において、図37を用いて説明した第14実施例に係る半導体装置10Nの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第14乃至17実施例に係る半導体装置10N〜10Rは、導電性部材として導電性ペースト100或いはスタッドパンプ104を用い、この導電性ペースト100或いはスタッドパンプ104により半導体装置本体70とインタポーザ72Aとを電気的に接合（接続）する構成とされている。これに対し、本実施例に係る半導体装置10Sは、上記の導電性ペースト100或いはスタッドパンプ104に代えてフライングリード106（導電性部材）を設けたことを特徴とするものである。

[0180]フライングリード106は、インタポーザ72Cに形成された配線パターン84Cと一体的に形成されており、インタポーザ72Cの外周縁部より斜め上方（半導体装置本体70に向かう方向）に延出した構成とされている。また、このフライングリード106の形成位置は、突起電極80の形成位置と対応するよう設定されている。

[0181]フライングリード106を形成するには、予め形成されたインタポーザ72Cのフライングリード106の形成部分に対応するペース部材86Cをドライエッチング等により除去し、これにより単体となつて配線パターン37Cを上記した斜め上方方向にむけ折曲形成する。これにより、インタポーザ72Cの外周縁部位置にフライングリード106が形成される。

[0182]このフライングリード106は、接線98の配設位置を迂回して突起電極80に接続し、これにより半導体装置本体70とインタポーザ72Aとを電気的に接続する機能を奏する。また、突起電極80とフライングリード106との接続位置は、カバークリップ108により樹脂封止されている。これにより、外力印加等によりフライングリード106が変形することを防止し

き、半導体装置10Sの信頼性を向上させることができる。

[0183]上記のように、本実施例に係る半導体装置10Sでは、接線98が半導体装置本体70とインタポーザ72Cとを機械的に接合し、またスタッドパンプ104が半導体装置本体70とインタポーザ72Cとを電気的に接合（接続）する。このように、機械的接合と電気的接合を別個の部材（接線98、フライングリード106）により行なうことにより、半導体装置本体70とインタポーザ72Aとの機械的接合及び電気的接合を共に確実に行なうことが可能となり、半導体装置10Qの信頼性を向上させることができる。

[0184]また、フライングリード106と突起電極80との接続位置においては絶縁性を有する接線98が介在しないため、フライングリード106と突起電極80との電気的接続の信頼性を向上させることができる。更に、フライングリード106はパネ力を有しているため、接続時にフライングリード106はパネ力をもつて突起電極80に圧接する。よって、これによつてもフライングリード106と突起電極80との電気的接続の信頼性を向上させることができる。

[0185]図50乃至図54は、半導体装置10Sの製造方法（第11実施例に係る製造方法）を示している。尚、図50乃至図54において、第7実施例に係る製造方法を説明するのに用いた図38乃至図40に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Sを多数個取りする方法について説明するものとする。

[0186]半導体装置10Sを製造するには、図50に示すように、予め別工程において半導体装置本体70が複数個形成されたウェハ90、接線98、及びインタポーザ72Cを形成しておく。また、このインタポーザ72Cを形成する際、上記した形成方法によりフライングリード106を形成しておく。そして、突起電極80とフライングリード106との位置決めを行なった上で、ウェハ90と各インタポーザ72Cとの間に接線98を介装し、各インタポーザ72Cをウェハ90に押圧しつつ接線98を固定する。これにより、図51に示すように、接線98によりウェハ90とインタポーザ72Cは機械的に接合される。また、フライングリード106は突起電極80に押圧されたことにより発生するパネ力により突起電極80に圧接し、よつて突起電極80とフライングリード106は確実に電気的接合が行なわれる。

[0187]上記のように、接線98によりウェハ90とインタポーザ72Cとが機械的に接合され、かつ突起電極80とフライングリード106とが電気的に接続されると、続いて少なくとも突起電極80とフライングリード106との接続位置を含むウェハ90とインタポー

ーザ72C間にカバークリップ108が形成される。このカバークリップ108は、ボンディングにより形成しても、またモールド成形により形成する構成としてもよい。図51は、カバークリップ108が形成された状態を示している。

[0188]このように、カバークリップ108の形成処理が終了すると、続いて図52にA-Aで示す破断位置で切断処理が行われ、これにより図49に示す半導体装置10Sが形成される。尚、上記した製造方法では、半導体装置10Qを多数個取りする方法について述べたが、図53及び図54に示すように、半導体装置10Sを個々に製造することも可能である。

[0189]続いて、第19実施例である半導体装置10Tについて説明する。図55(A)は、第19実施例である半導体装置10Tを示す断面図である。尚、図55において、図37を用いて説明した第14実施例に係る半導体装置10Nの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第14乃至18実施例に係る半導体装置10N〜10Sは、導電性部材として導電性ペースト100、スタッドパンプ104、或いはフライングリード106を用い、この導電性ペースト100、スタッドパンプ104、フライングリード106により半導体装置本体70とインタポーザ72A、72Bとを電気的に接合（接続）する構成とされている。

[0190]これに対し、本実施例に係る半導体装置10Uは、上記の導電性ペースト100或いはスタッドパンプ104に代えて、インタポーザ72Dに導電性部材として、接続ピン110と位置決め部材112を組み込んだ構成としたことを特徴とするものである。本実施例に係るインタポーザ72Dは、大略すると接続ピン110、位置決め部材112、接線98、及びペース部材114等により構成されている。接続ピン110は、突起電極80の形成位置に対応した位置に配設され、組み立てられた状態において、その上端部を突起電極80に接合すると共に、下端部を外部接続端子76に接合される。また、位置決め部材112は、この接続ピン110を突起電極80の形成位置に位置決めする機能を有するものであり、シリコンゴム等の可塑性材料により形成されている。

[0191]上記のように、接続ピン110を保持した位置決め部材112は、接線98によりペース部材116に接線98を固定する。この際、ペース部材116の突起電極80の形成位置と対向する位置には孔88が形成されており、接続ピン110はこの孔88を介して外部接続端子76と接続される。図55(B)は、接続ピン110と外部接続端子76との接続位置を拡大して示している。図55に示されるように、接続ピン110は外部接続端子76内に食い込んだ状態で接続されており、よつて確実に電気的に接続されている。

[0192]このように、突起電極80と外部接続端子76との接続処理が終了すると、続いて図57にA-Aで示す破断位置で切断処理が行われ、これにより図5(A)に示す半導体装置10Tが形成される。尚、

[0192]上記構成とされた半導体装置10Tでは、接続ピン110の上端部を突起電極80に接合すると、下部部を外部接続端子76に接合しているため、突起電極80と外部接続端子76との間に接続ピン110を介在した構成となる。この接続ピン110は可塑性材料であるため、例えば加熱時等に半導体装置本体70とインタポーザ72Dとの間に熱膨張率差に起因して力が発生しても、この応力は接続ピン110が吸収することにより吸収される。よつて、応力が印加されても外部接続端子76と突起電極80との接続を確実に維持することができる。

[0193]また、接続ピン110は位置決め部材により突起電極80の形成位置に対応した位置に位置決めされている。このため、実装時に個々の接続ピン10と突起電極80または外部接続端子76との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。更に、位置決め部材112は可塑性部材より形成されているため、前記のように接続ピン110が可塑性でも、位置決め部材112はこれに追随して変形するため、半導体装置本体70とインタポーザ72との間に発生する応力を位置決め部材112によって吸収することができる。

[0194]図56乃至図58は、半導体装置10Tの製造方法（第12実施例に係る製造方法）を示している。尚、図56乃至図58において、第7実施例に係る製造方法を説明するのに用いた図38乃至図40に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Tを多数個取りする方法について説明するものとする。

[0195]半導体装置10Sを製造するには、図56に示すように、予め別工程において半導体装置本体70が複数個形成されたウェハ90、接続ピン110を保持した位置決め部材112、接線98、及びペース部材116を形成しておく。接線98、及びペース部材116の突起電極80の形成位置と対向する位置には孔88及び通孔102を形成しておく。位置決め部材112は、突起電極80と外部接続端子76との位置決めを行なった上で、ウェハ90をインタポーザ72D（接続ピン110、位置決め部材112、接線98、ペース部材116）に加熱しつつ押圧する。これにより、図57に示すように、接続ピン110の上端部は突起電極80内に嵌入し、かつ下部部は外部接続端子76に嵌入する。よつて突起電極80と外部接続端子76は接続ピン110を介して電気的に接続される。

[0197]このように、突起電極80と外部接続端子76との接続処理が終了すると、続いて図57にA-Aで示す破断位置で切断処理が行われ、これにより図5(A)に示す半導体装置10Tが形成される。尚、

記した製造方法では、半導体装置10Tを多数取り出す方法について述べたが、図58に示すように、半導体装置10Tを個々に製造することも可能である。

【0198】続いて、第20実施例である半導体装置10Uについて説明する。図59は、第20実施例に係る半導体装置10Uを示す断面図である。尚、図59において、図55を用いて説明した第19実施例に係る半導体装置10Tの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第19実施例に係る半導体装置10Tでは、小型化を図るために半導体装置本体70に形成された突起電極80の配設ピッチと、インタポーザ72Dに配設された接続パッド110の配設ピッチとを同一ピッチとするよう構成していた。

【0199】これに対し、本実施例に係る半導体装置10Uは、半導体装置本体70に形成された突起電極80の配設ピッチに対し、インタポーザ72Bに配設された外部接続端子76の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポーザ72Bの面積は半導体装置本体70の面積に対し広がっている。

【0200】このように、突起電極80の配設ピッチに対し外部接続端子76の配設ピッチを大きく設定したことで、インタポーザ72B上における配線パターン84Bの引回しの自由度を更に向上することができ、これにより、外部接続端子76の端子レイアウトの自由度が向上し、端子設計の容易化を図ることができ、共に、突起電極80（接続パッド110）の電極ピッチが狭ピッチ化してもこれに容易に対応することができ、【0201】図60は、上記した半導体装置10Tの製造方法（第13実施例に係る製造方法）を示す図である。また、同図では、多数取り出す方法ではなく、個々に半導体装置10Tを形成する方法を例に挙げ、図58に半導体装置10Tを形成する方法を示している。本実施例に係る半導体装置10Tの製造方法では、予め別工程において半導体装置本体70、接続パッド110を保持した位置決め部材112、接着剤114、及びインタポーザ72Bを形成しておく。この位置には、通孔102を予め穿設しておく。

【0202】そして、突起電極80と位置決めパッド112、及び位置決めパッド112と接続パッド112との位置決めを行なった上で、半導体装置本体70をインタポーザ72Bに加熱しつつ押圧する。これにより、接続パッド112の0の上端部は突起電極80内に嵌入し、かつ下端部は外部接続端子76に嵌入し、よって突起電極80と外部接続端子76は接続パッド110を介して電気的に接続される。以上の処理を行なうことにより、図59に示す半導体装置10Uが形成される。

【0203】

【発明の効果】 上述の如く本発明によれば、次に述べる種々の効果を実現することができる。請求項1記載の発

明によれば、半導体素子を保護する封止樹脂内には電極板が存在し、この電極板は封止樹脂を補強する機能を奏するため、半導体素子の保護をより確実に行なうことができる。よって半導体装置の信頼性を向上することができる。

【0204】また、外部接続端子は半導体素子と電気的に接続された電極板の一部として形成されているため、この電極板の半導体素子との接続位置と外部接続端子の形成位置との間の部分において、配線の引回しを行なうことが可能となる。よって、電極板を設けることにより半導体装置の端子レイアウトの自由度を高めることができる。

【0205】また、電極板は導電性金属よりなり、封止樹脂よりも熱伝導性が良好であるため、半導体素子で発生した熱は電極板を介して外部に放熱される。よって、半導体素子で発生した熱を効率よく放熱することができ、半導体装置の動作状態において、封止樹脂の側面に露出した構成とされているため、半導体装置を実装基板に実装した後においてもこの外部接続端子を用いて半導体素子の動作試験を行なうことが可能となる。

【0206】また、請求項2及び請求項11記載の発明によれば、小スペース内において確実に半導体素子と電極板とを接続することができ、半導体装置の小型化を図ることができ、また、接合部における配線長が短いためインピーダンスを低減できると共に多ピン化にも対応することができ、また、請求項3記載の発明によれば、側面ばかりでなく底面においても実装を行なうことが可能となるため、実装構造の自由度を向上させることができる。

【0207】また、請求項4記載の発明によれば、実装時に確実に外部接続端子を実装基板に接続することができると共に、隣接する外部接続端子間で短絡が発生することを防止することができる。また、請求項5記載の発明によれば、突出端子を電極板に一体的に形成したことにより、突出端子を別部材により形成する構成に比べて部品点数の削減を図ることができると共に容易に形成することができる。

【0208】また、請求項6記載の発明によれば、半導体装置をBGA(Ball Grid Array)と同様に取り扱うことができ、実装性を向上させることができる。また、請求項7及び請求項8記載の発明によれば、半導体素子で発生する熱を効率よく放熱することができる。また、請求項9記載の発明によれば、パターン形成処理において任意の配線パターンを選定できるため、電極板により配線の引回しを行なうことが可能となり、これにより電極板に形成される外部接続端子の端子レイアウトに自由度を持たせることができる。

【0209】また、封止樹脂形成工程で封止樹脂を形成することにより半導体素子及び電極板は封止樹脂に封止され保護されるため、半導体装置の信頼性を向上させる

ことができる。更に、切断工程において個々の半導体装置の境界位置で封止樹脂及び電極板は切断され、よって電極板は切断位置において露出するため、この露出部分を外部接続端子として用いることができる。

【0210】また、請求項10記載の発明によれば、電極板を形成するにリードフレーム形成法を利用することとが可能となり、よって設備の増加を伴うことなく電極板形成工程を実施することができる。また、請求項12記載の発明によれば、チップ搭載工程において個々の半導体素子の位置決めを行なう必要がなくなれば、形状の大きな放熱部材と電極板とを位置決めすばいばい、位置決め処理を容易化することができる。

【0211】また、請求項13記載の発明によれば、突起端子部の形成を電極板の形成と同時に一括的に行なうことができるため、半導体装置の製造工程の簡単化を図ることができる。また、実装時に確実に外部接続端子を実装基板に接続することができると共に隣接する外部接続端子間で短絡が発生することを防止することができる。

【0212】また、請求項14記載の発明によれば、ソケットを用いて半導体装置を実装基板に接続するため半導体装置の装替脱着を容易に行なうことができる。また、半導体装置の装替状態においてリード部と外部接続端子とは対向するため、リード部を引き回すことなくリード部と外部接続端子との接続を行なうことができ、よってソケットの構造の簡単化を図ることができる。

【0213】また、請求項15記載の発明によれば、半導体装置をBGAと同様に実装することができ、実装性の向上及び多ピン化への対応を図ることができる。また、請求項16記載の発明によれば、加熱時等に半導体装置側と実装基板側で熱膨張率差に起因して応力が発生しても、この応力は接続ピンが可撓することにより吸収されるため、外部接続端子と実装基板との接続を確実に維持することができ、実装の信頼性を向上させることができる。

【0214】また、接続ピンは位置決め部材により外部接続端子の形成位置に対応した位置に位置決めされているため、実装時に個々の接続ピンと外部接続端子または実装基板との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。また、請求項17及び請求項22記載の発明によれば、インタポーザのベース部材上において任意の配線パターンを形成することとができるため、パターンを引き回すことにより突起電極の形成位置に拘わらず外部接続端子の位置を設定することができ、よって外部接続端子の端子レイアウトの自由度を高めることができる。

【0215】また、半導体装置本体とインタポーザとを接合する異方性導電膜は、接着力及び導電性の双方の特性を有しているため、各機能を別個の部材により行なう構成に比べて部品点数及び組み立て工程の低減を図るこ

とができる。更に、異方性導電膜は接合剤として機能するため、この異方性導電膜により半導体装置本体とインタポーザとの間に発生する応力を緩和することができる。

【0216】また、請求項18記載の発明によれば、突起電極の配設ピッチと外部接続端子の配設ピッチを小さくしたことにより、インタポーザの形状を小さくすることができ、半導体装置の小型化を図ることができ、請求項19記載の発明によれば、突起電極の配設ピッチに対し外部接続端子の配設ピッチを大きく定したことにより、インタポーザ上における配線パターンの引回しの自由度を更に向上することができる。

【0217】また、請求項20記載の発明によれば、半導体装置本体をインタポーザに装着される際に用い加える押圧力は孔の形成位置に集中して孔内における導電性を向上できるため、半導体装置本体とインタポーザと電気的接続を確実に行なうことができる。また、請求項21記載の発明によれば、インタポーザとしてTABテープを利用することにより半導体装置のコスト低減を図ることができる。

【0218】また、請求項23及び請求項30記載の発明によれば、インタポーザに形成された配線パターン任意に設定できるため、配線パターンを引き回すことにより突起電極の形成位置に拘わらず外部接続端子の位置を設定することができ、よって外部接続端子の端子レイアウトの自由度を高めることができる。また、半導体装置本体とインタポーザとを接合する際行なわれる機械的接合と電気的接合を別個の部材（接着剤、導電性部材、気密接合機能）に最適な部材を選定することができ、により行なうことにより、各機能（機械的接合機能、電気的接合）を共に確保し行なうことができる。

【0219】更に、接着剤は固化した状態においても一定の可撓性を有するため、接着剤を緩衝膜として機能させることができ、よって半導体装置本体とインタポーザとの間に発生する応力を緩和することができる。また、請求項24記載の発明によれば、単に導電性ペースト半導体素子の突起電極またはインタポーザの配線パターンに塗布するだけで導電性部材の配設を行なうことができるため、半導体装置の組み立て作業の容易化を図ることができる。

【0220】また、請求項25記載の発明によれば、半導体素子の突起電極とインタポーザの配線パターンと、スタッドバンプを介して接合されることとなり、電気的接続を確実に行なうことができる。また、請求項26記載の発明によれば、フライングリードと突起電極との接続の形成においては接着剤が介在しないため、フライングリードと突起電極との電気的接続の信頼性を向上させることができる。また、接続時にフライングリードはバンプをもって突起電極に圧接するため、これによって

ライングリードと突起電極との電気的接続の信頼性を向上させることができる。

【図22】また、請求項27記載の発明によれば、突起電極とライングリードとの接続位置を樹脂封止したることにより、外力印加等によりライングリードが変形することを防止でき、半導体装置の信頼性を向上させることができる。また、請求項28記載の発明によれば、加熱時等に半導体装置本体とインタポーザとの間に熱膨張率差に起因して応力が発生しても、この応力は接続ピンが可撓することにより吸収されるため、外部接続端子と突起電極との接続を確実に維持することができる。

【図23】また、接続ピンは位置決め部材により突起電極の形成位置に対した位置に位置決めされているため、実装時において図々の接続ピンと突起電極または外部接続端子との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。更に、請求項29記載の発明によれば、接続ピンが可撓しても位置決め部材はこれに追随して可撓するため、半導体装置本体とインタポーザとの間に発生する応力を位置決め部材によって吸収することができる。

【図面の簡単な説明】

- 【図1】本発明の第1実施例である半導体装置を説明するための図である。
- 【図2】本発明の第1実施例である半導体装置の製造方法を説明するための図である（その1）。
- 【図3】本発明の第1実施例である半導体装置の製造方法を説明するための図である（その2）。
- 【図4】本発明の第1実施例である半導体装置の製造方法を説明するための図である（その3）。
- 【図5】本発明の第1実施例である半導体装置の製造方法を説明するための図である（その4）。
- 【図6】本発明の第2実施例である半導体装置を説明するための図である。
- 【図7】本発明の第3実施例である半導体装置を説明するための図である。
- 【図8】本発明の第4実施例である半導体装置を説明するための図である。
- 【図9】本発明の第2実施例である半導体装置の製造方法を説明するための図である（その1）。
- 【図10】本発明の第2実施例である半導体装置の製造方法を説明するための図である（その2）。
- 【図11】本発明の第1実施例である半導体装置の製造方法を説明するための図である（その3）。
- 【図12】本発明の第2実施例である半導体装置の製造方法を説明するための図である（その4）。
- 【図13】本発明の第3実施例である半導体装置の製造方法を説明するための図である。
- 【図14】本発明の第4実施例である半導体装置の製造方法を説明するための図である。
- 【図15】本発明の第5実施例である半導体装置の製造方法を説明するための図である。

構造を説明するための図である。

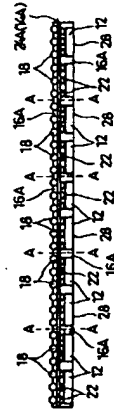
- 【図16】本発明の第6実施例である半導体装置の製造方法を説明するための図である。
- 【図17】本発明の第7実施例である半導体装置の製造方法を説明するための図である。
- 【図18】本発明の第4実施例である半導体装置を説明するための図である。
- 【図19】本発明の第3実施例である半導体装置の製造方法を説明するための図である（その1）。
- 【図20】本発明の第3実施例である半導体装置の製造方法を説明するための図である（その2）。
- 【図21】本発明の第3実施例である半導体装置の製造方法を説明するための図である（その3）。
- 【図22】本発明の第3実施例である半導体装置の製造方法を説明するための図である（その4）。
- 【図23】本発明の第3実施例である半導体装置の製造方法を説明するための図である（その5）。
- 【図24】本発明の第3実施例である半導体装置の製造方法を説明するための図である（その6）。
- 【図25】本発明の第6実施例である半導体装置を説明するための図である。
- 【図26】本発明の第7実施例である半導体装置を説明するための図である。
- 【図27】本発明の第8実施例である半導体装置を説明するための図である。
- 【図28】本発明の第9実施例である半導体装置を説明するための図である。
- 【図29】本発明の第10実施例である半導体装置を説明するための図である。
- 【図30】本発明の第11実施例である半導体装置を説明するための図である。
- 【図31】本発明の第4実施例である半導体装置の製造方法を説明するための図である。
- 【図32】本発明の第12実施例である半導体装置を説明するための図である。
- 【図33】本発明の第5実施例である半導体装置の製造方法を説明するための図である（その1）。
- 【図34】本発明の第5実施例である半導体装置の製造方法を説明するための図である（その2）。
- 【図35】本発明の第13実施例である半導体装置を説明するための図である。
- 【図36】本発明の第6実施例である半導体装置の製造方法を説明するための図である。
- 【図37】本発明の第14実施例である半導体装置を説明するための図である。
- 【図38】本発明の第7実施例である半導体装置の製造方法を説明するための図である（その1）。
- 【図39】本発明の第7実施例である半導体装置の製造方法を説明するための図である（その2）。
- 【図40】本発明の第7実施例である半導体装置の製造方法を説明するための図である。

方法を説明するための図である（その3）。

- 【図41】本発明の第15実施例である半導体装置を説明するための図である。
- 【図42】本発明の第8実施例である半導体装置の製造方法を説明するための図である。
- 【図43】本発明の第16実施例である半導体装置を説明するための図である。
- 【図44】本発明の第9実施例である半導体装置の製造方法を説明するための図である（その1）。
- 【図45】本発明の第9実施例である半導体装置の製造方法を説明するための図である（その2）。
- 【図46】本発明の第9実施例である半導体装置の製造方法を説明するための図である（その3）。
- 【図47】本発明の第17実施例である半導体装置を説明するための図である。
- 【図48】本発明の第10実施例である半導体装置の製造方法を説明するための図である。
- 【図49】本発明の第18実施例である半導体装置を説明するための図である。
- 【図50】本発明の第11実施例である半導体装置の製造方法を説明するための図である（その1）。
- 【図51】本発明の第11実施例である半導体装置の製造方法を説明するための図である（その2）。
- 【図52】本発明の第11実施例である半導体装置の製造方法を説明するための図である（その3）。
- 【図53】本発明の第11実施例である半導体装置の製造方法を説明するための図である（その4）。
- 【図54】本発明の第11実施例である半導体装置の製造方法を説明するための図である（その5）。
- 【図55】本発明の第19実施例である半導体装置を説明するための図である。
- 【図56】本発明の第12実施例である半導体装置の製造方法を説明するための図である（その1）。
- 【図57】本発明の第12実施例である半導体装置の製造方法を説明するための図である（その2）。
- 【図58】本発明の第12実施例である半導体装置の製造方法を説明するための図である（その3）。
- 【図59】本発明の第20実施例である半導体装置を説明するための図である。
- 【図60】本発明の第13実施例である半導体装置の製造方法を説明するための図である。

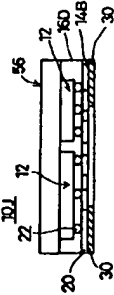
【図5】

本発明の第1実施例である半導体装置の製造方法を説明するための図（その4）



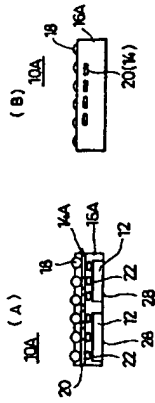
【図29】

本発明の第1実施例である半導体装置の製造方法を説明するための図



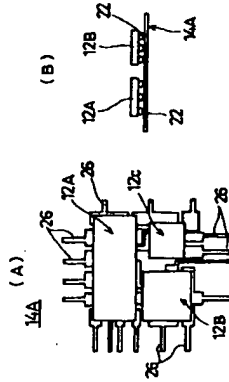
【図1】

本発明の第1実施例である半導体装置の製造方法を説明するための図



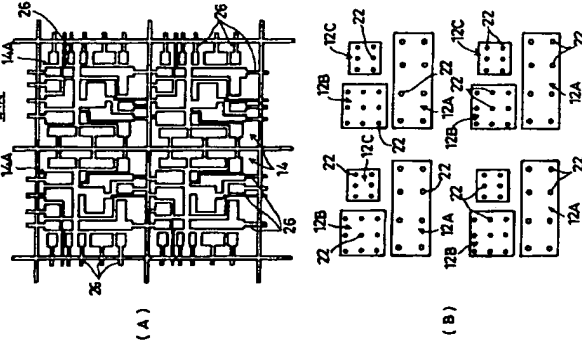
【図3】

本発明の第1実施例である半導体装置の製造方法を説明するための図(その2)



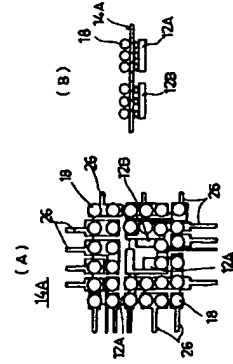
【図2】

本発明の第1実施例である半導体装置の製造方法を説明するための図(その1)



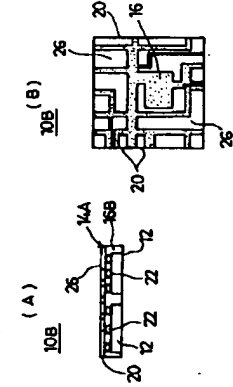
【図4】

本発明の第1実施例である半導体装置の製造方法を説明するための図(その3)



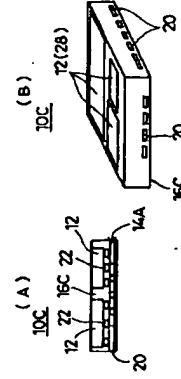
【図6】

本発明の第2実施例である半導体装置を説明するための図



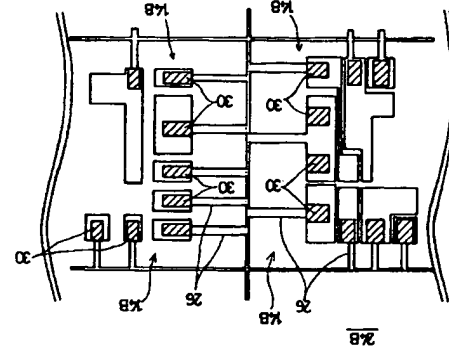
【図7】

本発明の第2実施例である半導体装置を説明するための図



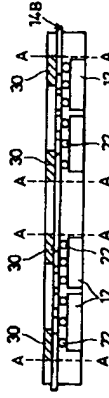
【図9】

本発明の第2実施例である半導体装置の製造方法を説明するための図(その1)



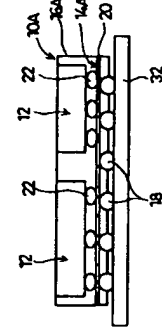
【図10】

本発明の第2実施例である半導体装置の製造方法を説明するための図(その2)



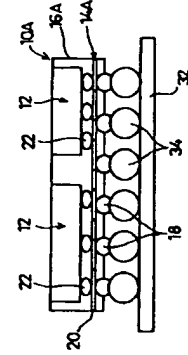
【図11】

本発明の第1実施例である半導体装置の製造方法を説明するための図



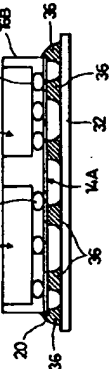
【図12】

本発明の第2実施例である半導体装置の製造方法を説明するための図



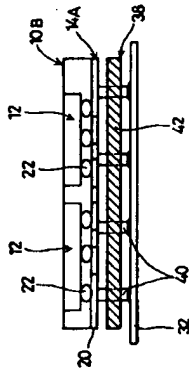
【図13】

本発明の第3実施例である半導体装置の概略構造を説明するための図



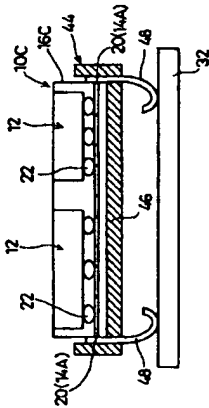
【図14】

本発明の第4実施例である半導体装置の概略構造を説明するための図



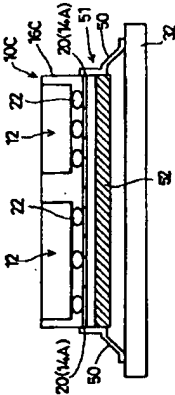
【図15】

本発明の第5実施例である半導体装置の概略構造を説明するための図



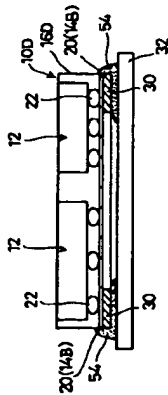
【図16】

本発明の第6実施例である半導体装置の概略構造を説明するための図



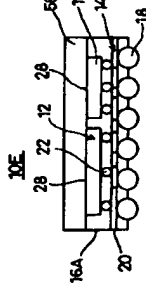
【図17】

本発明の第7実施例である半導体装置の概略構造を説明するための図



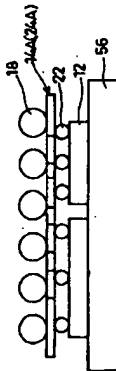
【図18】

本発明の第8実施例である半導体装置を説明するための図



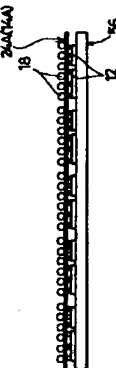
【図22】

本発明の第9実施例である半導体装置の概略構造を説明するための図（その4）



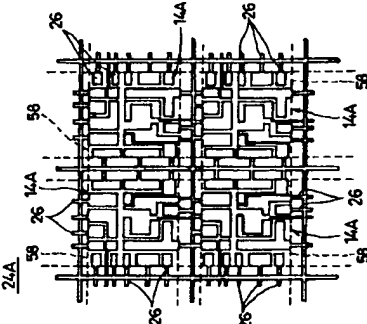
【図23】

本発明の第9実施例である半導体装置の概略構造を説明するための図（その5）



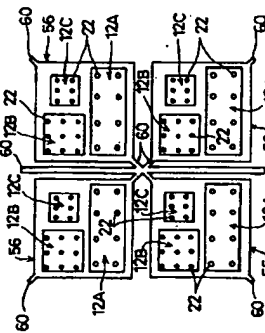
【図19】

本発明の第1実施例である半導体装置の概略構造を説明するための図（その1）



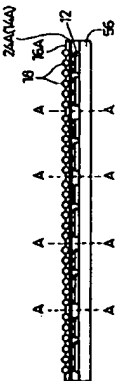
【図21】

本発明の第2実施例である半導体装置の概略構造を説明するための図（その3）



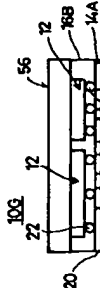
【図24】

本発明の第3実施例である半導体装置の概略構造を説明するための図（その4）



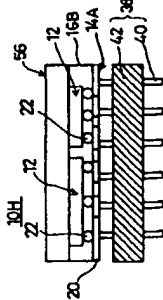
【図26】

本発明の第4実施例である半導体装置を説明するための図



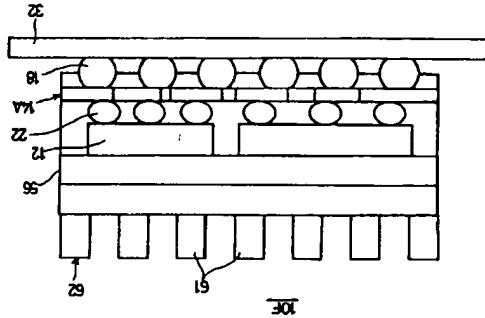
【図27】

本発明の第5実施例である半導体装置を説明するための図



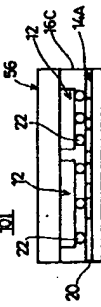
【図25】

本発明の第4実施例である半導体装置を説明するための図



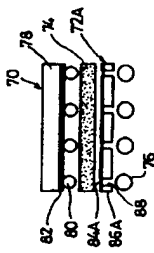
【図28】

本発明の第9実施例である半導体装置を説明するための図



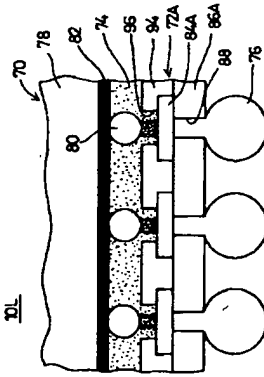
【図31】

本発明の第4実施例である半導体装置の製造方法を説明するための図



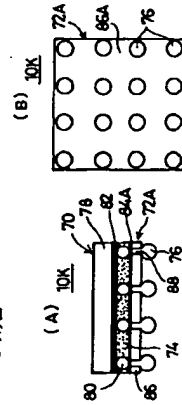
【図32】

本発明の第12実施例である半導体装置を説明するための図



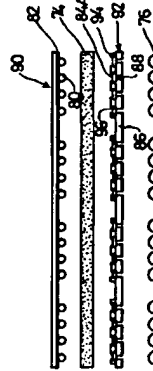
【図30】

本発明の第7実施例である半導体装置を説明するための図



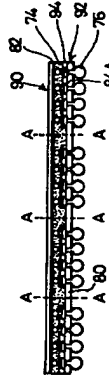
【図33】

本発明の第5実施例である半導体装置の製造方法を説明するための図（その1）



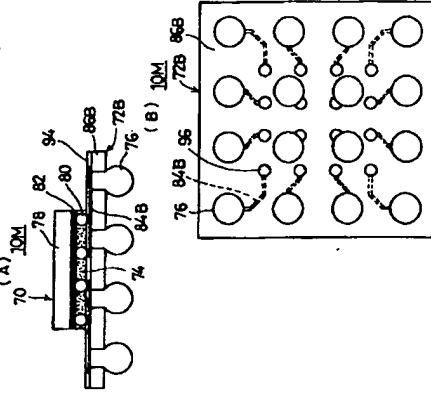
【図34】

本発明の第5実施例である半導体装置の製造方法を説明するための図（その2）



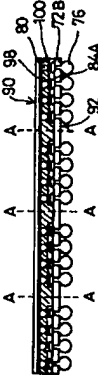
【図35】

本発明の第3実施例である半導体装置を説明するための図



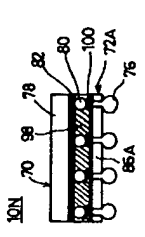
【図39】

本発明の第7実施例である半導体装置の製造方法を説明するための図（その2）



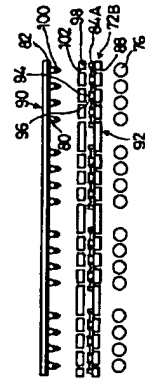
【図37】

本発明の第14実施例である半導体装置を説明するための図



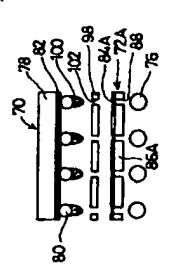
【図38】

本発明の第7実施例である半導体装置の製造方法を説明するための図（その1）



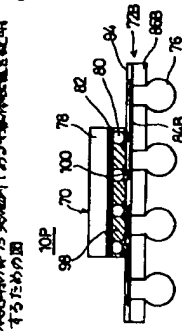
【図40】

本発明の第7実施例である半導体装置の製造方法を説明するための図（その3）



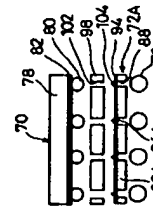
【図41】

本発明の第15実施例である半導体装置を説明するための図



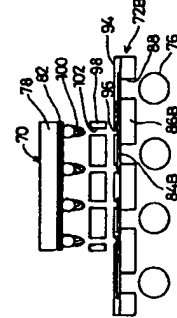
【図46】

本発明の第9実施例である半導体装置の製造方法を説明するための図



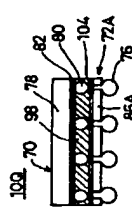
【図42】

本発明の第9実施例である半導体装置の製造方法を説明するための図



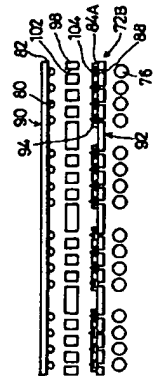
【図43】

本発明の第11実施例である半導体装置を説明するための図



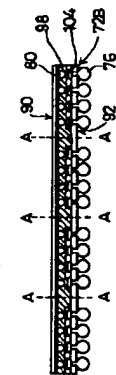
【図44】

本発明の第9実施例である半導体装置の製造方法を説明するための図（その1）



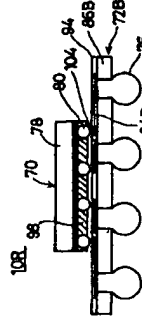
【図45】

本発明の第9実施例である半導体装置の製造方法を説明するための図（その2）



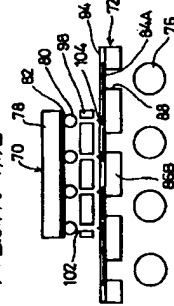
【図47】

本発明の第17実施例である半導体装置を説明するための図



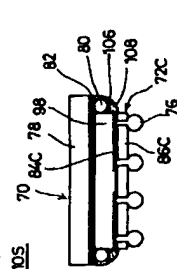
【図48】

本発明の第10実施例である半導体装置の製造方法を説明するための図



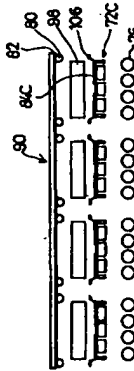
【図49】

本発明の第78実施例である半導体装置を説明するための図



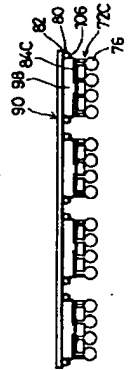
【図50】

本発明の第11実施例である半導体装置の製造方法を説明するための図（その1）



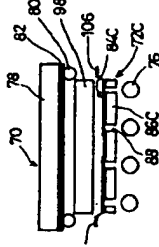
【図51】

本発明の第11実施例である半導体装置の製造方法を説明するための図（その2）



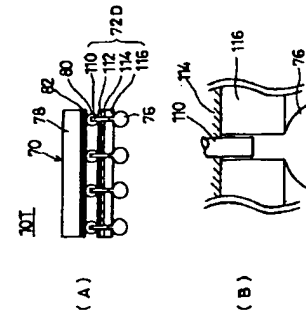
【図53】

本発明の第19実施例である半導体装置の製造方法を説明するための図（その4）



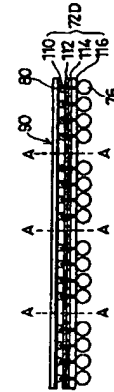
【図55】

本発明の第19実施例である半導体装置を説明するための図



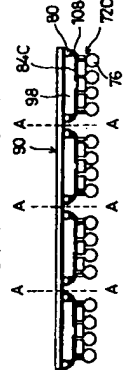
【図57】

本発明の第12実施例である半導体装置の製造方法を説明するための図（その2）



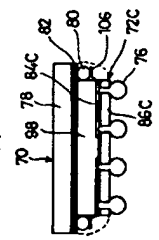
【図52】

本発明の第11実施例である半導体装置の製造方法を説明するための図（その3）



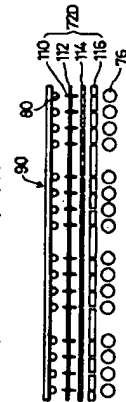
【図54】

本発明の第11実施例である半導体装置の製造方法を説明するための図（その5）



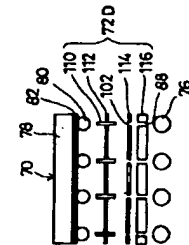
【図56】

本発明の第12実施例である半導体装置の製造方法を説明するための図（その1）



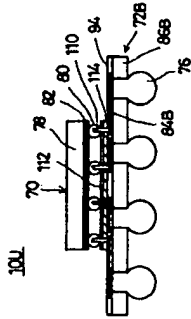
【図58】

本発明の第12実施例である半導体装置の製造方法を説明するための図（その3）



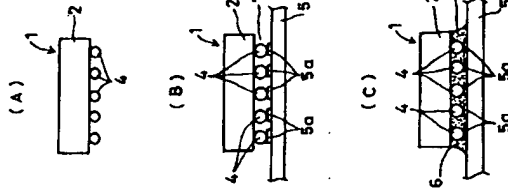
【図59】

本発明の第2の実施例である半導体装置を
説明するための図



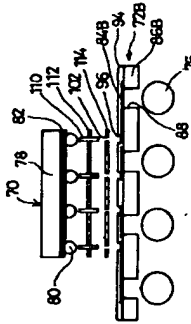
【図61】

従来の半導体装置の一例を説明する
ための図



【図60】

本発明の第3の実施例である半導体装置の
構造を説明するための図



(72)発明者 河西 純一

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

フロントページの続き

(72)発明者 森岡 宗知

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72)発明者 新聞 康弘

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72)発明者 小野寺 正徳

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72)発明者 深澤 則雄

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内